

Lógica Programable: Dispositivos



Exigencias del mercado actual:

Equipos de complejidad creciente

Especificaciones variables.

Tiempos de desarrollos cada vez menores.

Costos cada vez mas bajos.

Requimientos del diseñador:

**Dispositivos y herramientas de desarrollo que sean:
reconfigurables, actualizables y que permitan tests
rápidos y confiables.**

Formas de implementación lógica según el grado de ingerencia del usuario en la fabricación:

Lógica fija MSI (Compuertas, MUXs, contadores, RDs, sumadores, etc. Ej: series CD4XXX, 74LS/HCT/XX, etc.) **N#1**

Lógica fija VLSI (Circuitos integrados dedicados Ej: microprocesadores, memorias, etc.) **N#1**

Lógica programable por hardware (MPGA, ASIC, CPLD, FPGA)

N#1: Conocidos como ASSP (Application-Specific Standard Product)

Ventajas del empleo de Lógica Programable:

Mayor confiabilidad (diseño circunscripto dentro del chip).

Menor espacio empleado en circuito impreso.

Reprogramable con posibilidad de reconfiguración "in circuit".

Mejor adaptación a cambios de diseño.

Control de diseño antes de su programación.

Disminuye tiempos de diseño, cantidad de proveedores y de componentes.

Lógica Programable

- MPGA** → **Mask Programmable Gate Array:**
Rentable para **altos** volúmenes de partes.
Diseño final programable sólo por el fabricante.
- ASIC** → **Application-Specific Integrated Circuit:**
Rentable para **medianos** volúmenes de partes.
Diseño específico **SEMI**-programable por el usuario.
- FPLD** → **Field Programmable Logic Device:**
Rentable para volúmenes **pequeños** de partes.
Totalmente configurable por el usuario.



CPLD (Complex Programmable Logic Device)
FPGA (Field Programmable Gate Arrays)

Concepto de granularidad:

Granularidad en Celdas:

Define la cantidad de variables para generar funciones lógicas. Celda compleja implica mayor poder de resolución pero mayor riesgo de subempleo y menor recursos de interconexión.

Granularidad de conectividad:

Define la complejidad de la interconexión entre celdas y bloques de entrada-salida.

Mayor interconectividad implica mejor optimización de recursos pero aumento de complejidad en la gestión de optimizar la performance del sistema (por ej. ecualización de tiempos de retardo)

Tecnologías para configuración de dispositivos lógicos programables

Flash-ROM : Mantiene la información siempre.

Menor densidad de integración.

No requiere de dispositivos adicionales para configuración inicial del dispositivo.

Static-RAM: Pierde la información en ausencia de alimentación.

Mayor densidad de integración.

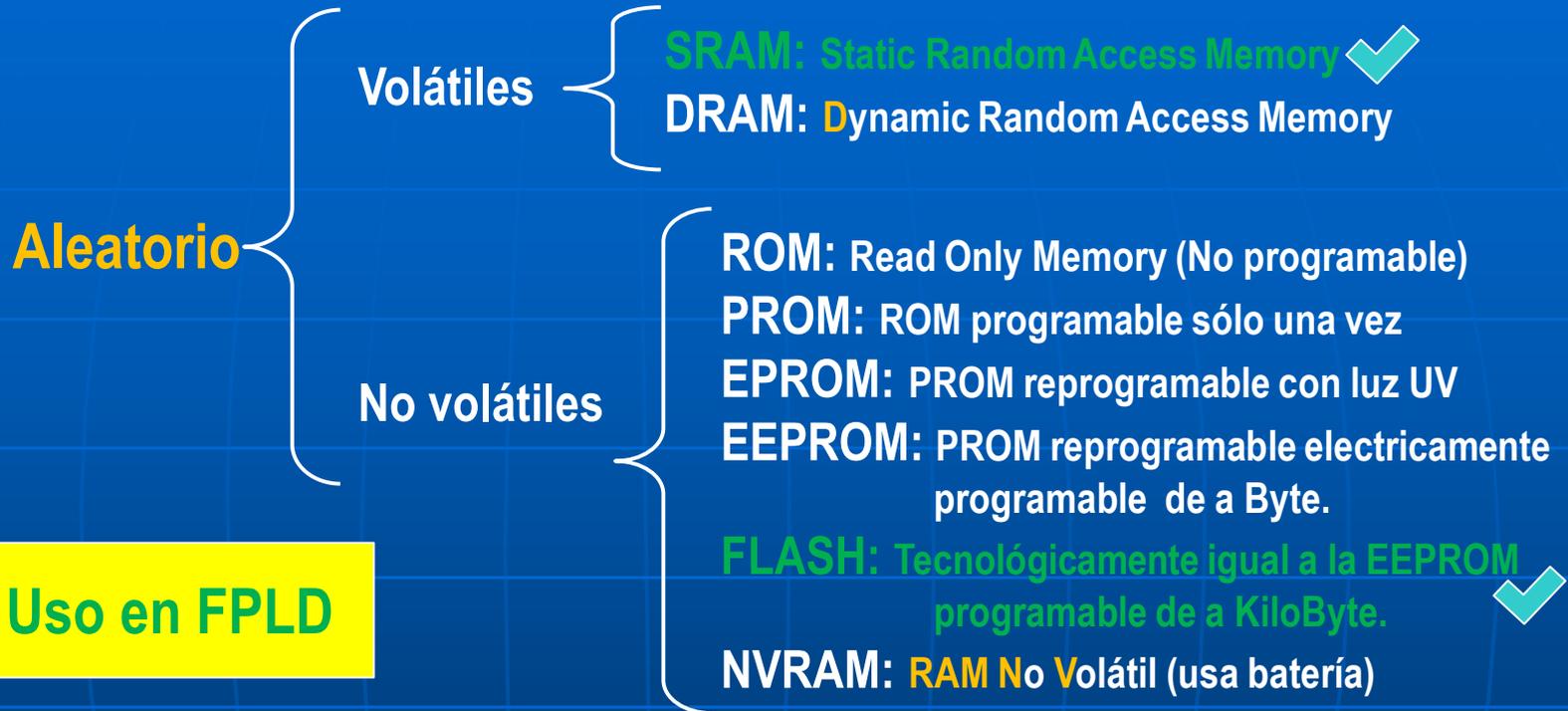
Disponibilidad de RAM para el usuario.

Requiere de dispositivo adicional para booteo.

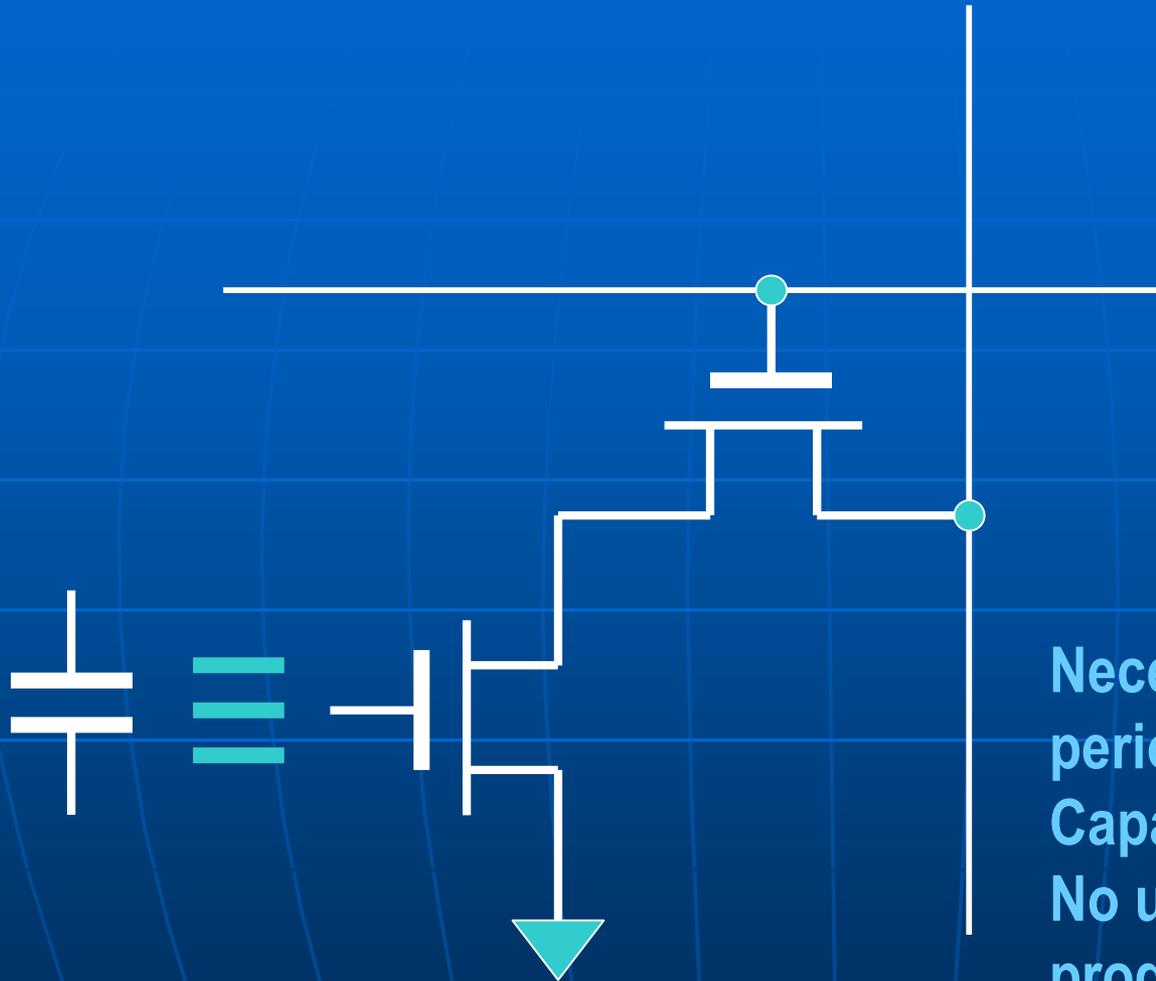
Anti-Fuse: Programable sólo una vez. Mayor confiabilidad y velocidad. Opción mas cara.

Memorias

Clasificación según acceso:

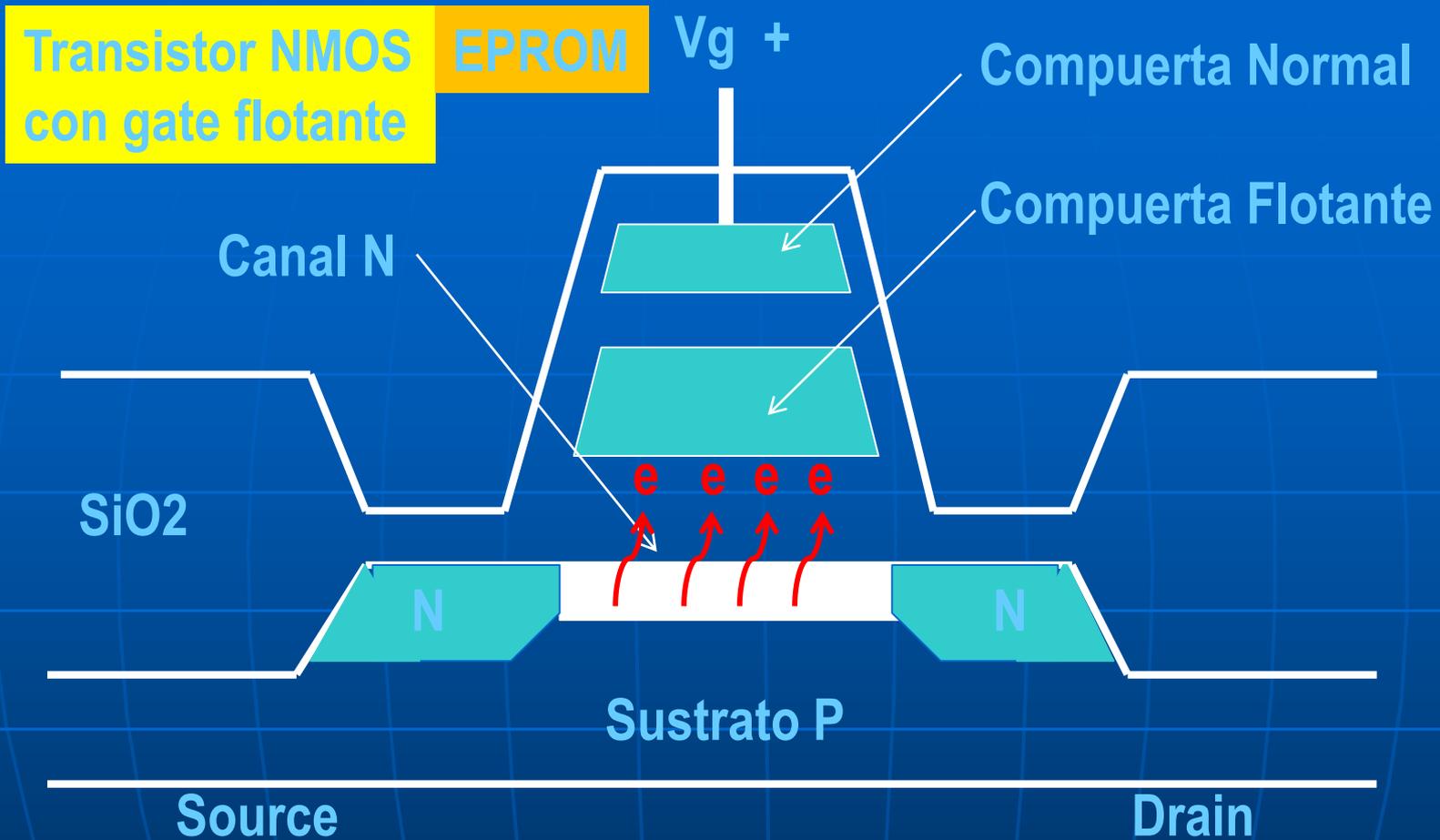


Contenido CAM (Content Addressable Memory)



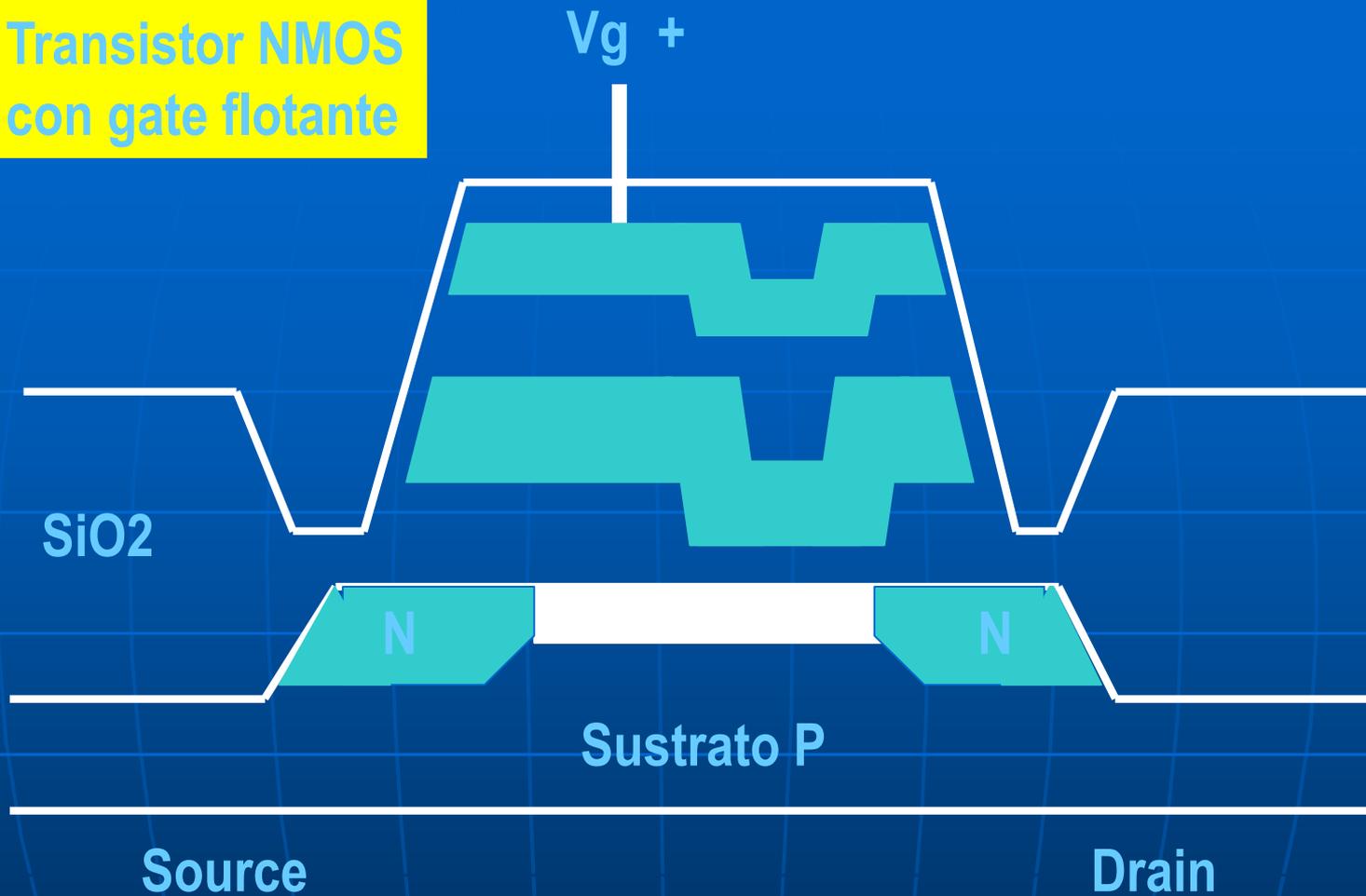
**Necesidad de refresco
periódico de la carga del
Capacitor.
No utilizado en dispositivos
programables.**

Memorias



Al aplicar 12 V en V_g+ se programa al transistor, quedando cargas atrapadas en el gate con lo cual al alimentarlo, conducirá siempre. Para eliminar las cargas en el gate se debe usar luz UV.

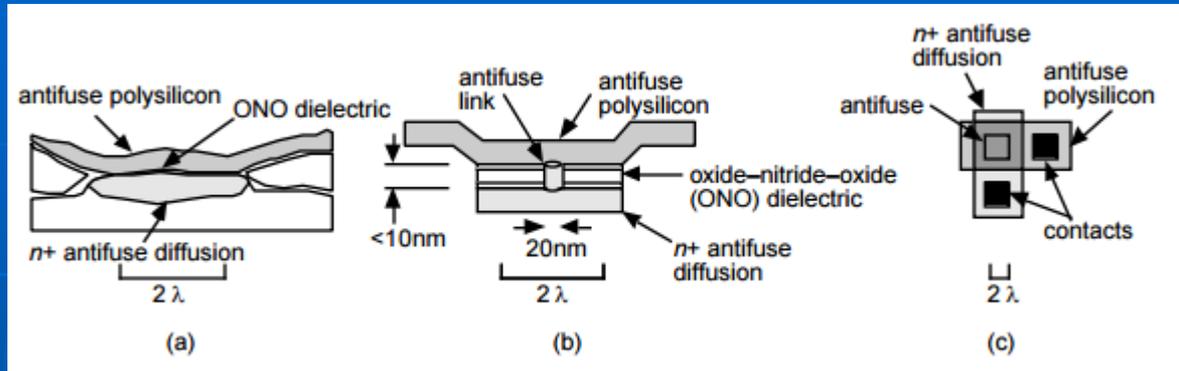
Transistor NMOS
con gate flotante



Similar al anterior pero con un diseño de gate que permite eliminar las cargas electricamente (borrado).



Transistor NMOS programable.
Al inyectarle cargas al gate quedará permanentemente en conducción, es decir, la celda dará $V_{out} = "0"$.
Al borrarlo $V_{out} = "1"$ (tr. cortado).



Vista realística del antifusible. Vista esquemática en profundidad. Vista esquemática superior.

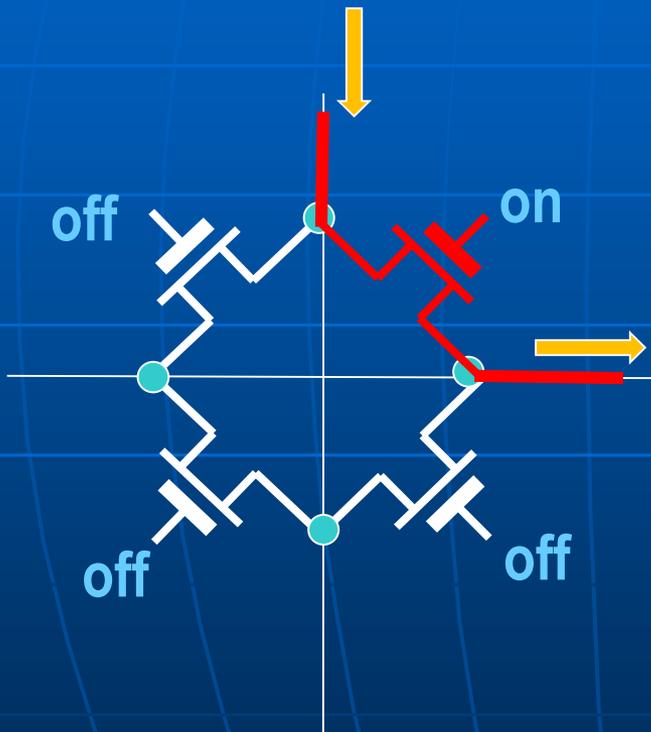
En el inicio la unión es aislante. Si se requiere conducción en dicho punto, debe programarse con baja corriente (5mA). De este modo se deshace el aislante (antifuse) y así difunden portadores en el material, haciendo conductor a dicha unión.

Es una opción interesante en aplicaciones aeroespaciales, al tener mayor inmunidad a la radiación que una «llave» basada en un transistor como en las FPGA que utilizan memorias del tipo EEPROM ó SRAM.

Sin embargo, NO es reprogramable.

Configuración de dispositivos lógicos programables

Configuración de ruteo de señales



EVOLUCIÓN DE CIRCUITOS LÓGICOS PROGRAMABLES

1

PAL (PROGRAMMABLE ARRAY LOGIC)

Primera PAL creada en 1973 por M. Memories

BASADA EN PAL

OBSOLETO

2

EPLD (Erasable Programmable Logic Device)

BASADA EN PAL

OBSOLETO

3

FPGA (Field Programmable Gate Array)

Primera FPGA creada en 1985 por Xilinx

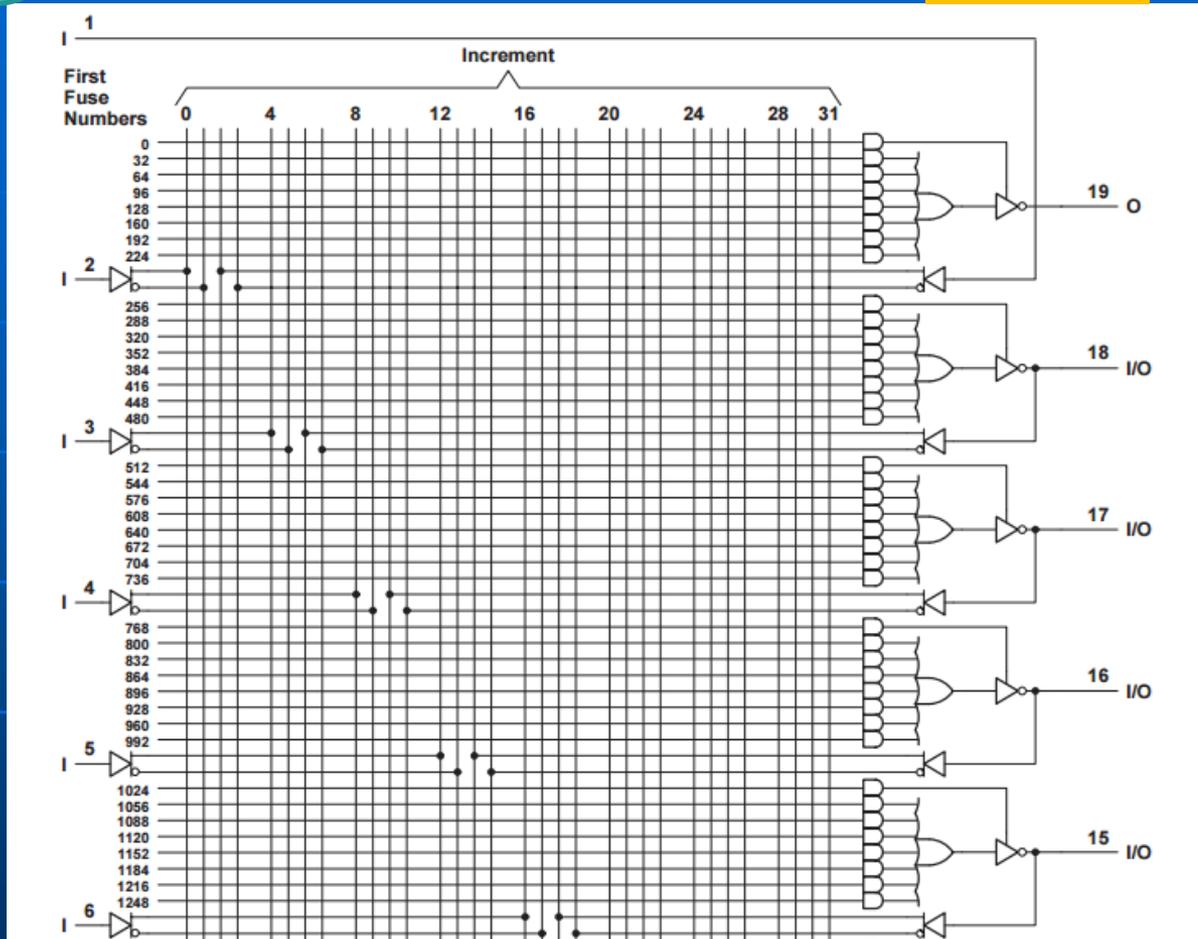
BASADA EN MUX

ASIC (Application Specific Integrated Circuit)

Semiprogramable

1 PAL (PROGRAMMABLE ARRAY LOGIC)

PAL16L8



En la década del 70 Monolithic Memories lanzó un integrado que tenía varios bloques idénticos formados por una matriz AND programable seguida por una OR.

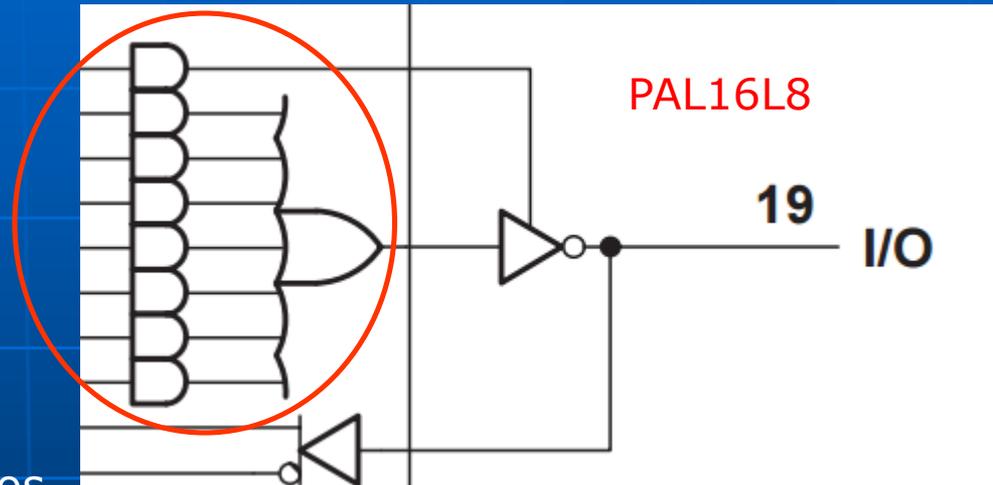
En el ejemplo se muestra una vista parcial del circuito de una PAL16L8 donde hay pines que son sólo entradas y otros que son configurables como entradas ó salidas.

1 PAL (PROGRAMMABLE ARRAY LOGIC)

La filosofía de las PAL que siguieron también en las EPLD es la generar funciones en base de una función OR de varias funciones AND.

A cada AND se conectan todas las entradas con sus respectivas negaciones.

En este ejemplo de la PAL16L8 hay 8 entradas posibles con sus negaciones que entran a 8 AND de 16 entradas cada una. Cada AND se conecta a la OR.

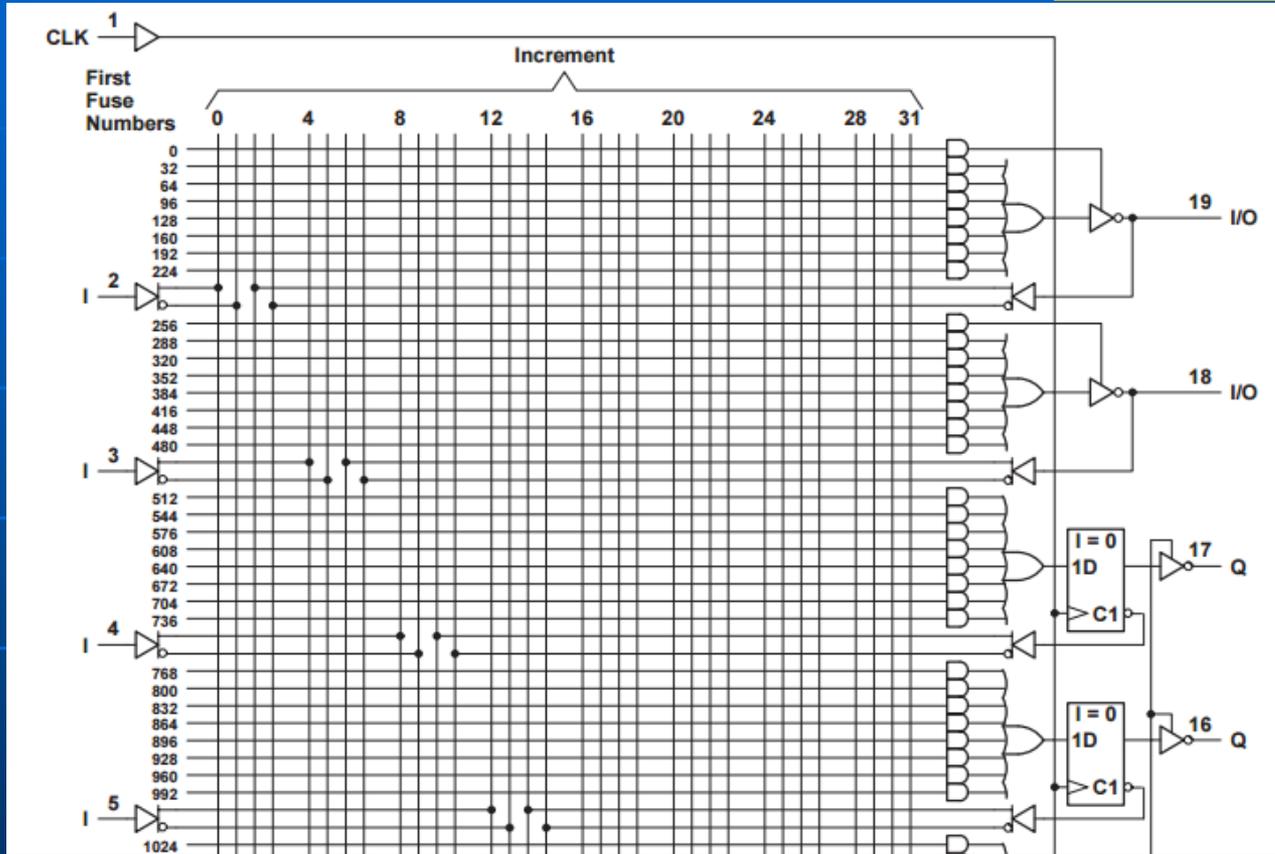


Si con este esquema no se cubren todos los minterminos de 8 variables se pueden generar muchas funciones diferentes, debiendo en algunos casos usar mas de un bloque lógico.

Esta filosofía de la AND-OR con AND programable se impuso sobre la del esquema de una ROM (AND-OR con OR programable dado que estadísticamente se comprobó que en general si bien la ROM podía generar todos los minterminos necesarios, en general se subutiliza toda la capacidad de ese tipo de circuito.

1 PAL (PROGRAMMABLE ARRAY LOGIC)

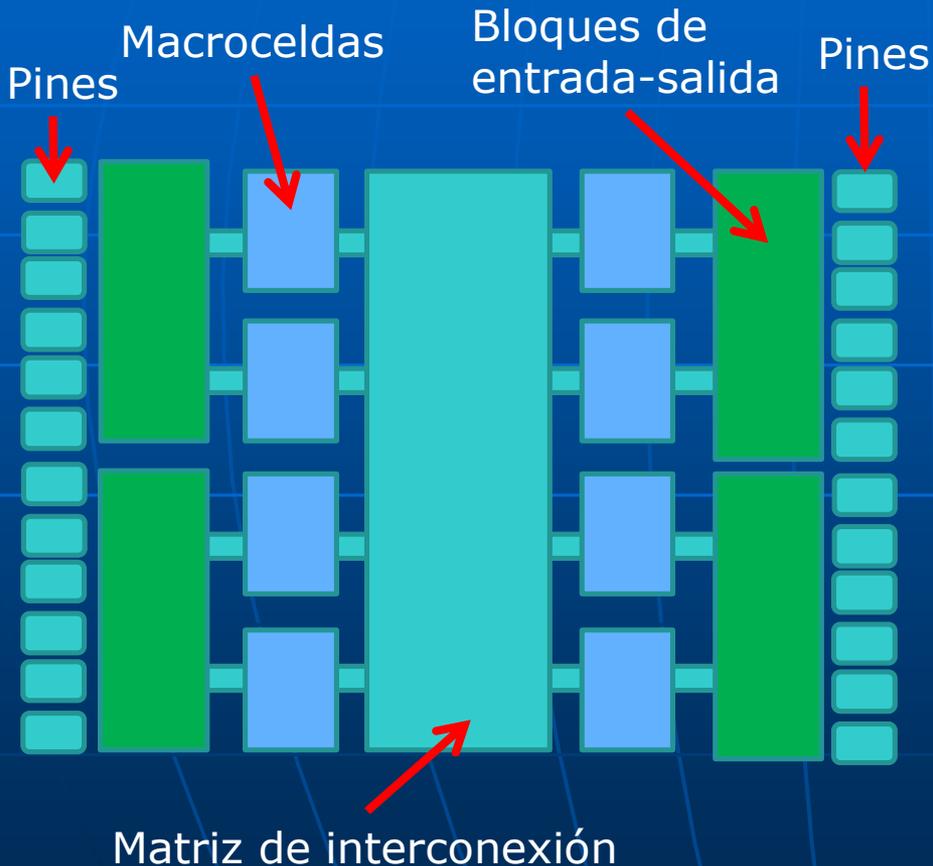
PAL16R8



En este ejemplo se muestra una vista parcial del circuito de una PAL16R8 donde a diferencia de la PAL16L8, hay bloques que tienen salida registrada (hay un FF tipo D antes del pin de salida). Aquí también tenemos pines que son sólo entradas y otros que son configurables como entradas ó salidas.

2 EPLD genérica (Erasable Programmable Logic Device)

Esta filosofía se basa en el empleo de bloques (denominados MACROCELDAS) que generan funciones de lógica combinatoria empleando la tecnología PAL (AND-OR con AND programable) pero con cambios sustanciales.



Cada macrocelda tiene capacidad para generar una función lógica de 4 ó 5 variables. Generalmente tiene asociada un FF «D».

Emplea transistores **EEPROM** para la configuración por lo que no se pierde la información ante ausencia de tensión de alimentación.

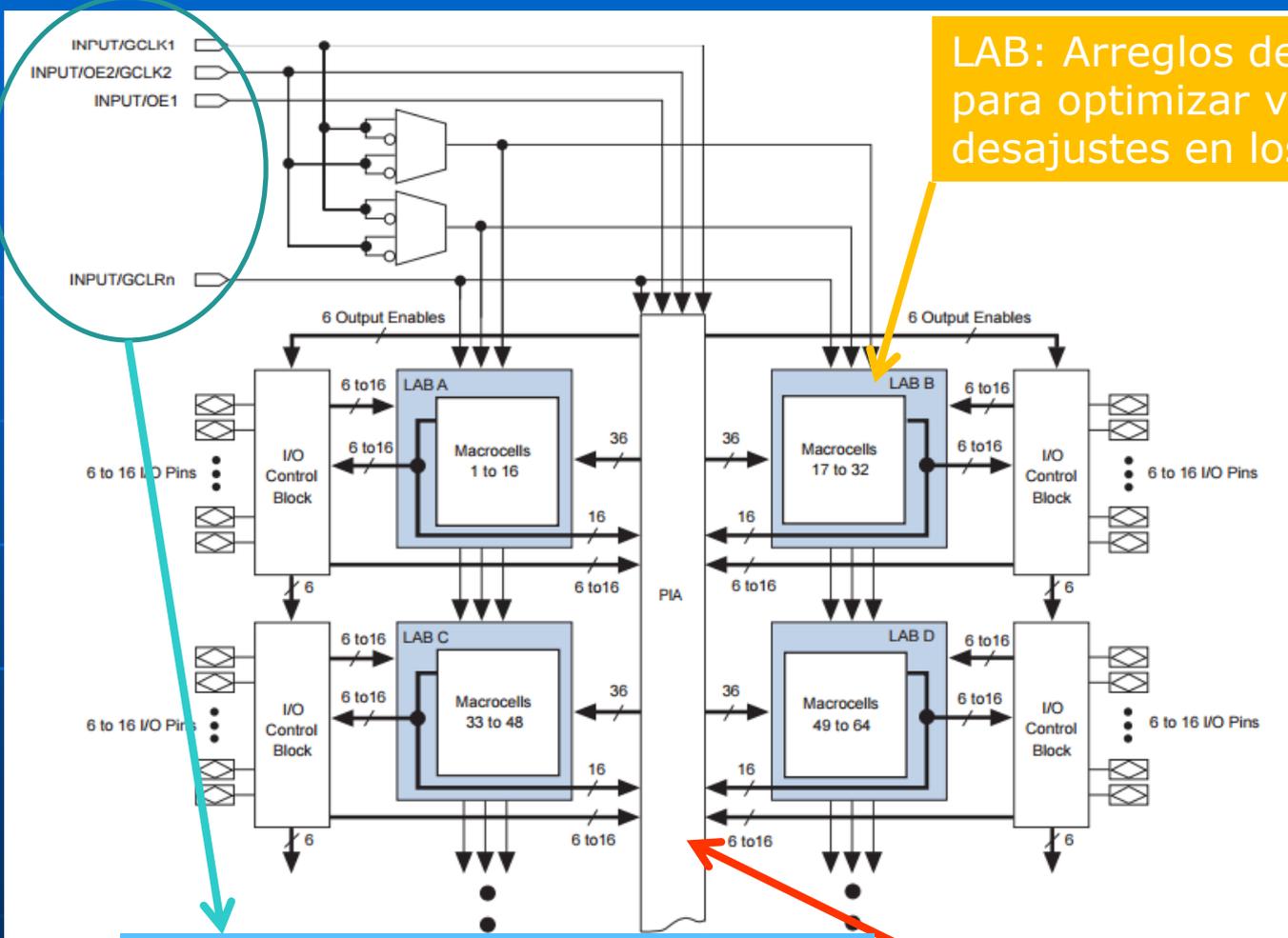
Posee una matriz de interconexión única lo que limita el grado de conectividad entre macroceldas y entre éstas y los bloques de entrada-salida.

Posee grandes recursos en lógica combinatoria en relación con las FPGA.

Están entrando en desuso con el advenimiento de las FPGA sólo FLASH (ej: MAX II).

EPLD MAX 7000 ALTERA

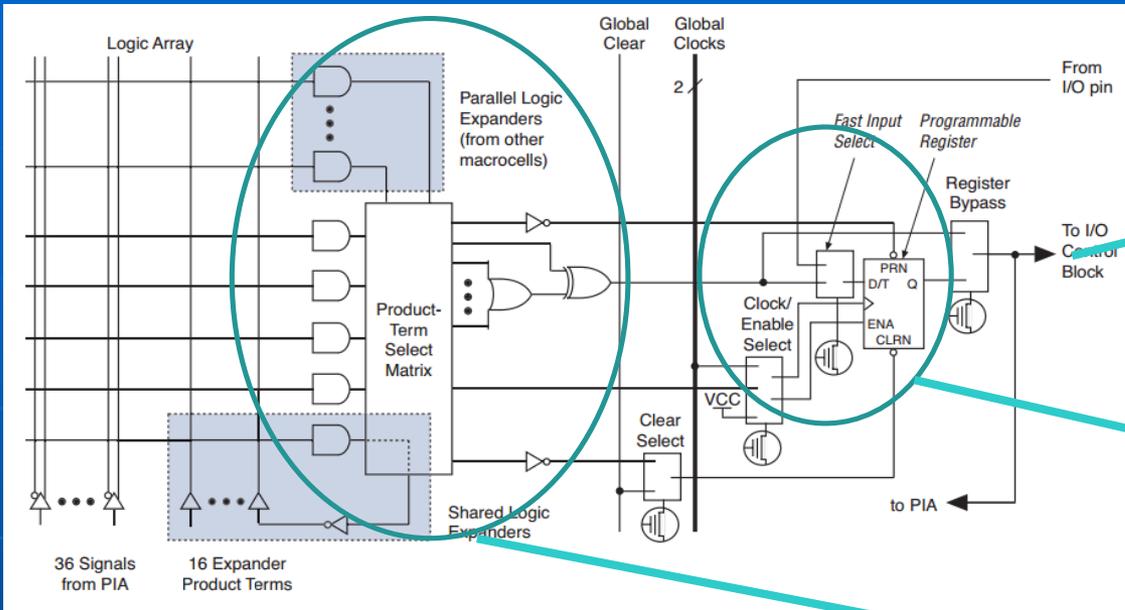
DIAGRAMA EN BLOQUES



LAB: Arreglos de a 16 MACROCELDAS para optimizar velocidad de reloj y los desajustes en los tiempos de retardo.

Matriz de interconexión ÚNICA

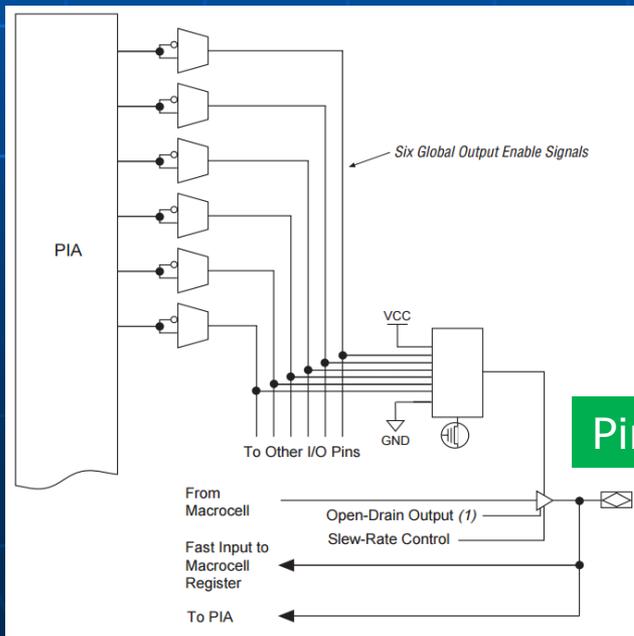
Entradas dedicadas de reloj GCLK, reset GCLR y control de alta impedancia OE.



La salida de la macrocelda proviene de la PAL o del FF.

FF tipo D configurable.

PAL: Una matriz AND programable y OR fija para síntesis de lógica combinatoria.



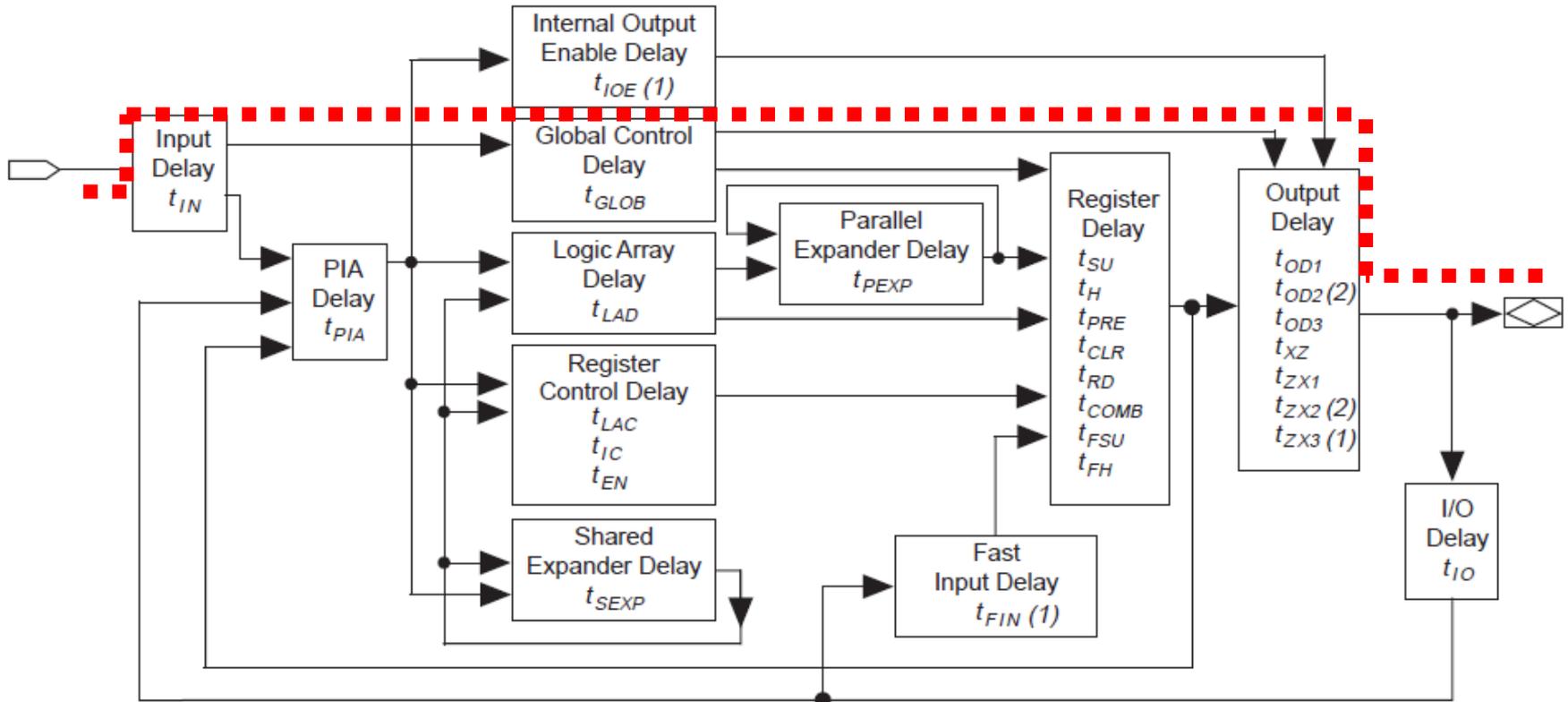
Pin

Los bloques de Entrada-Salida permiten configurar cada pin como E, S o E/S. Aparte de la salida normal, se puede configurar como open-drain.

Para ciertas aplicaciones se puede modificar el slew-rate de la salida a fin de evitar oscilaciones en la forma de onda.

Modelo de cadena de retardos

Figure 12. MAX 7000 Timing Model



El parámetro de "grado de velocidad" considera el mínimo retardo entre una entrada y una salida sin pasar por alguna lógica (como se indica en "rojo"). Ejemplo: -10, indica 10ns de retardo.

Lógica Programable

ASIC (Application-Specific Integrated Circuit)

Chip diseñado para realizar una aplicación específica determinada, por ejemplo un procesador de video en mpg4 ó de audio con Dolby AC3.

Full custom:

Diseño de bajo nivel (transistores) totalmente accesible al usuario.

Conviene cuando no existen librerías de componentes sobre el diseño a realizar.

Existe un total control del diseño y optimización del área del chip.

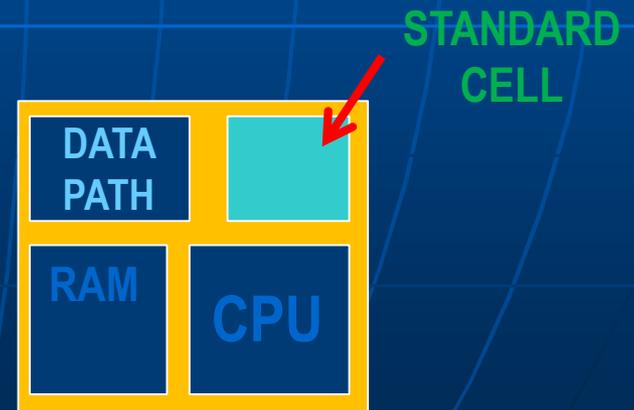
Los tiempos y costos de desarrollos son grandes en comparación con la opción de standard-cells.

Standard-Cells:

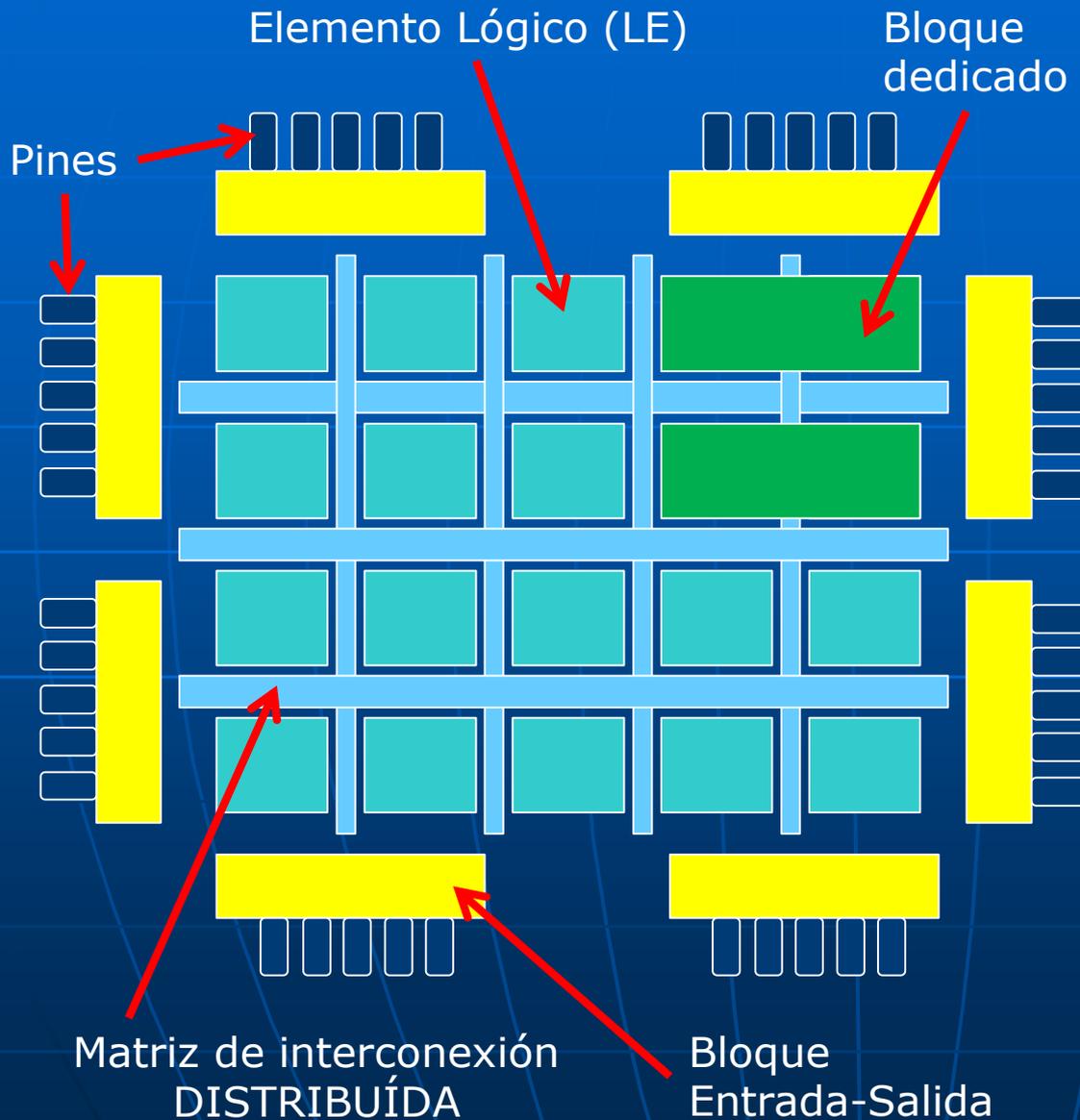
Se provee de librerías con celdas ya prediseñadas (FF tipo D, NOR gate, etc.) sobre un hardware predefinido.

El diseño es mucho mas rápido que el anterior.

Ejemplo: un microprocesador..



FPGA genérica (Field Programmable Gate Array)



La última evolución de FPLD es la FPGA.

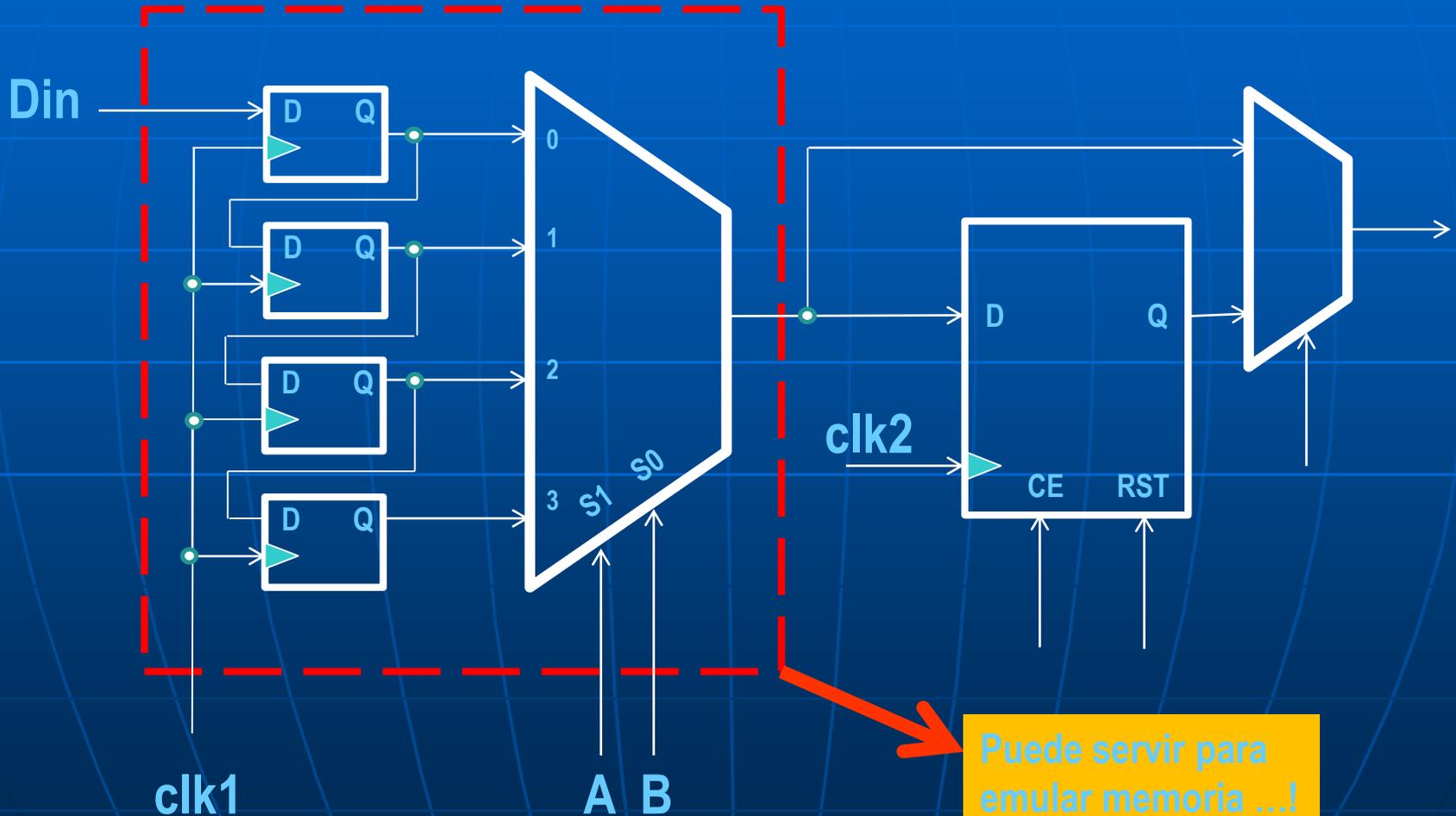
Difiere respecto a la EPLD en una matriz de interconexión distribuída. Bloques lógicos basados en el uso de MUX denominados LE (Elemento Lógico).

Bloques adicionales para funciones dedicadas (memoria SRAM, multiplicadores, PLL, transceivers, conversores ADC, etc.)

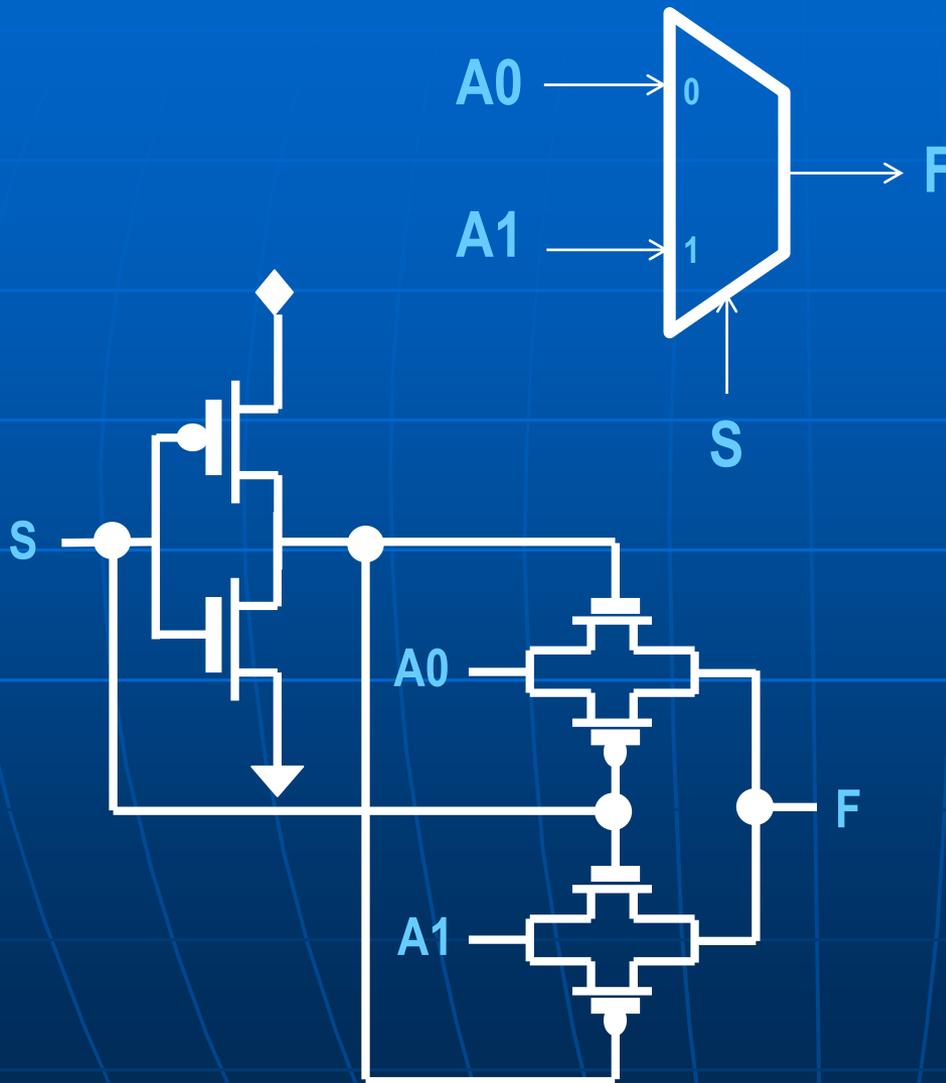
Generalmente se configura con SRAM y requiere de una memoria externa de booteo (hay sin embargo, modelos con sólo memoria FLASH [MAX-V de Altera] e inclusive ambas tecnologías [Fusion de Microsemi]).

Al usar SRAM se dispone de mayor densidad de integración que la EPLD y posibilidad de emular bloques tipo RAM/ROM, FIFO, CAM, etc.

Bloque Lógico elemental basado en Tabla de Look-Up con selección de salida normal o registrada



Implementación de funciones con MUXs

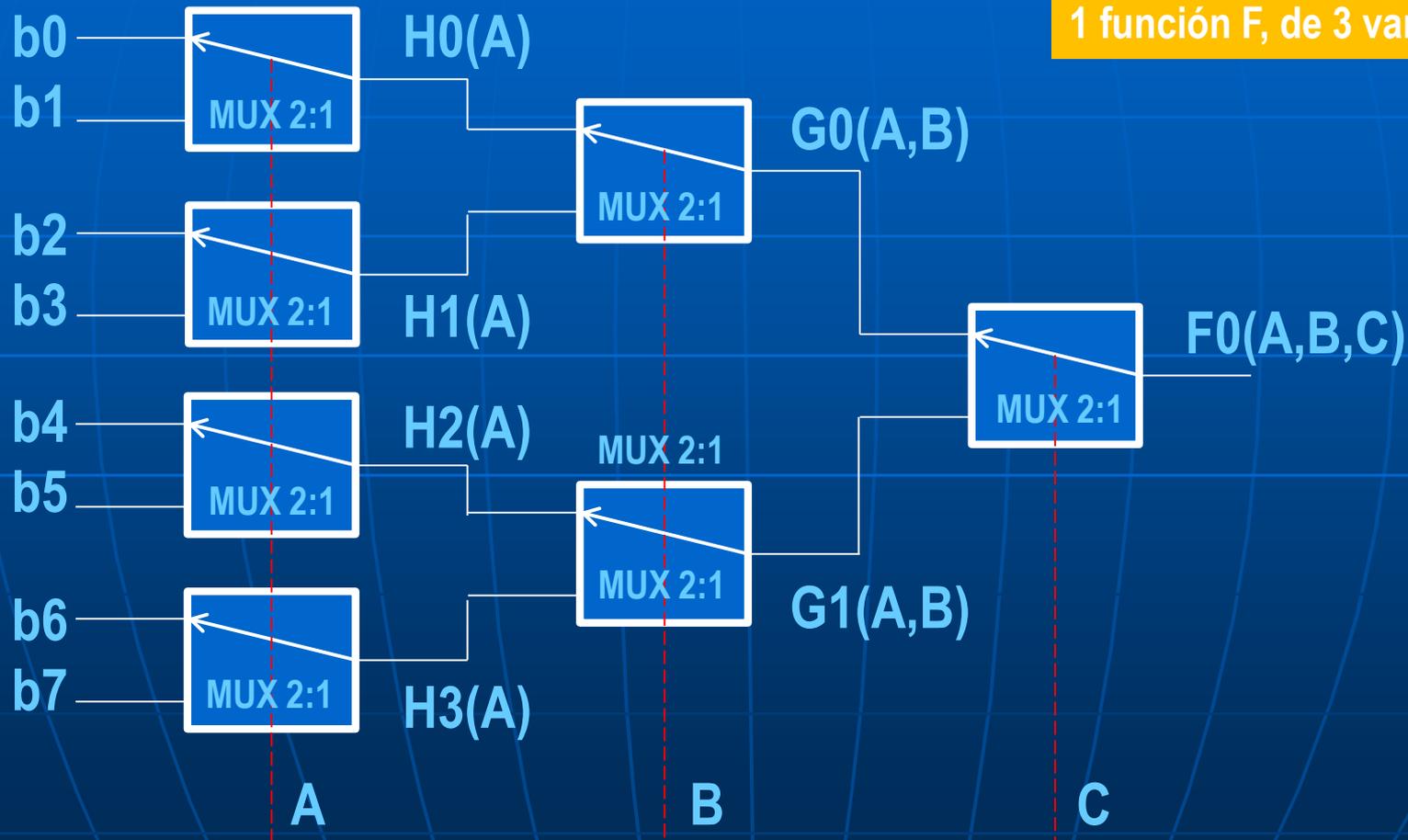


A0	A1	S	F
0	0	0	0
B	0	A	/A B
0	1	A	/A
A	0	B	A /B
0	1	B	/B
0	B	1	B
0	B	A	A B
0	A	1	A
B	1	A	A + B
1	1	1	1

Con un MUX 2:1 se pueden generar 8 funciones diferentes y 2 obvias (0 y 1). Aquí el MUX está formado con una pass-gate y un inversor en CMOS.

Implementación de funciones con MUXs

Se puede implementar:
 4 funciones H , de 1 variable.
 2 funciones G , de 2 variables.
 1 función F , de 3 variables.



Las primeras FPGA eran configurables sólo en base a memoria tipo SRAM que requiere de una memoria externa de booteo del tipo EEPROM serie, la cual en el momento del encendido, la FPGA tomaba el control de la misma y descargaban los datos de configuración interna. Luego se desvinculaban de la memoria y podían ser ya utilizadas. Este proceso dura algunos milisegundos. Esto en general se sigue manteniendo actualmente.

Las estructuras principales son los "Elementos Lógicos" formados por Tablas de LookUp (MUXs) y Registros (Flip-Flops tipo "D"), interconectados por una "Matriz Distribuída" y Bloques de E/S (entrada/salida) que los vinculan con los pines físicos de la FPGA.

Posteriormente aparecieron mejoras como la adición de bloques programables de funciones específicas, desde memorias hasta multiplicadores, lazos de enganche de fase (PLLs) y transceptores para uso en comunicaciones seriales y controladores de memoria tipo DDR, etc..

Opciones con memoria de configuración tipo EEPROM aparecieron para reemplazo de dispositivos EPLD.

Ultimamente las FPGAs han agregado bloques específicos no programables como "núcleos de microprocesadores" (ejemplo ARM Cortex A9) para un diseño lógico más integral, haciéndolos mas competitivos respecto a los dispositivos ASICs.

En el mercado se puede adquirir modelos de mediana hasta alta complejidad. Los precios pueden variar desde algunas decenas hasta varias decenas de miles de dólares.

Xilinx, IntelFPGA, Microsemi, QuickLogic, Lattice, etc. son algunas de las empresas que proveen de estos dispositivos actualmente en el mercado.

La línea Cyclone IV es una FPGA de bajo costo. Se divide en modelo E (standard) y GX (dedicada a transmisión serie de alta velocidad).

En general dispone de hasta:

- 150 K Elementos Lógicos (LE)
- 6 Mbit de memoria dedicada SRAM.
- 4 PLLs (Lazo de Enganche de Fase).
- 360 multiplicadores dedicados de 18x18 bits.
- 475 pines para el usuario.
- 8 transceivers de hasta 3.125 Gbps (línea GX).
- Tecnología de transistor de 60 nm.
- Bloque IP para interface PCIe.
- Bloques I/O (In-Out) configurables a diversas tecnologías (LVDS, PECL, CML, etc.).
- Interface de control de memoria externa DDR Y DDR2 hasta 400 Mbps.

Cyclone IV FPGA Architecture

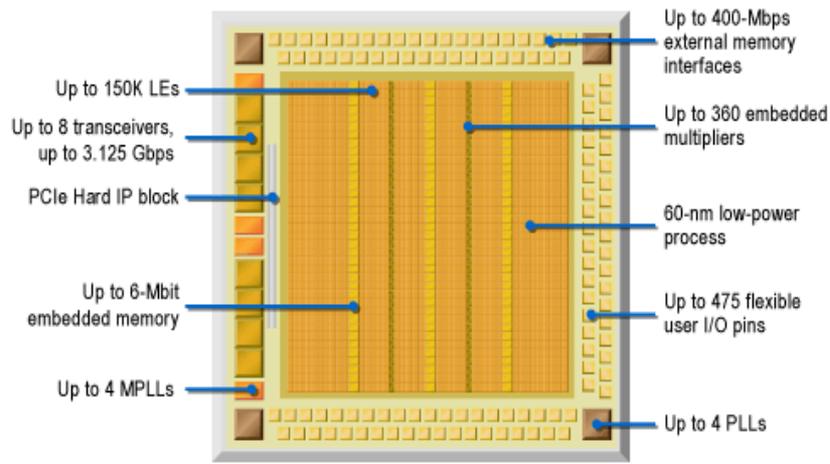


Table 1-1. Resources for the Cyclone IV E Device Family

Resources	EP4CE6	EP4CE10	EP4CE15	EP4CE22	EP4CE30	EP4CE40	EP4CE55	EP4CE75	EP4CE115
Logic elements (LEs)	6,272	10,320	15,408	22,320	28,848	39,600	55,856	75,408	114,480
Embedded memory (Kbits)	270	414	504	594	594	1,134	2,340	2,745	3,888
Embedded 18 × 18 multipliers	15	23	56	66	66	116	154	200	266
General-purpose PLLs	2	2	4	4	4	4	4	4	4
Global Clock Networks	10	10	20	20	20	20	20	20	20
User I/O Banks	8	8	8	8	8	8	8	8	8
Maximum user I/O ⁽¹⁾	179	179	343	153	532	532	374	426	528

Note to Table 1-1:

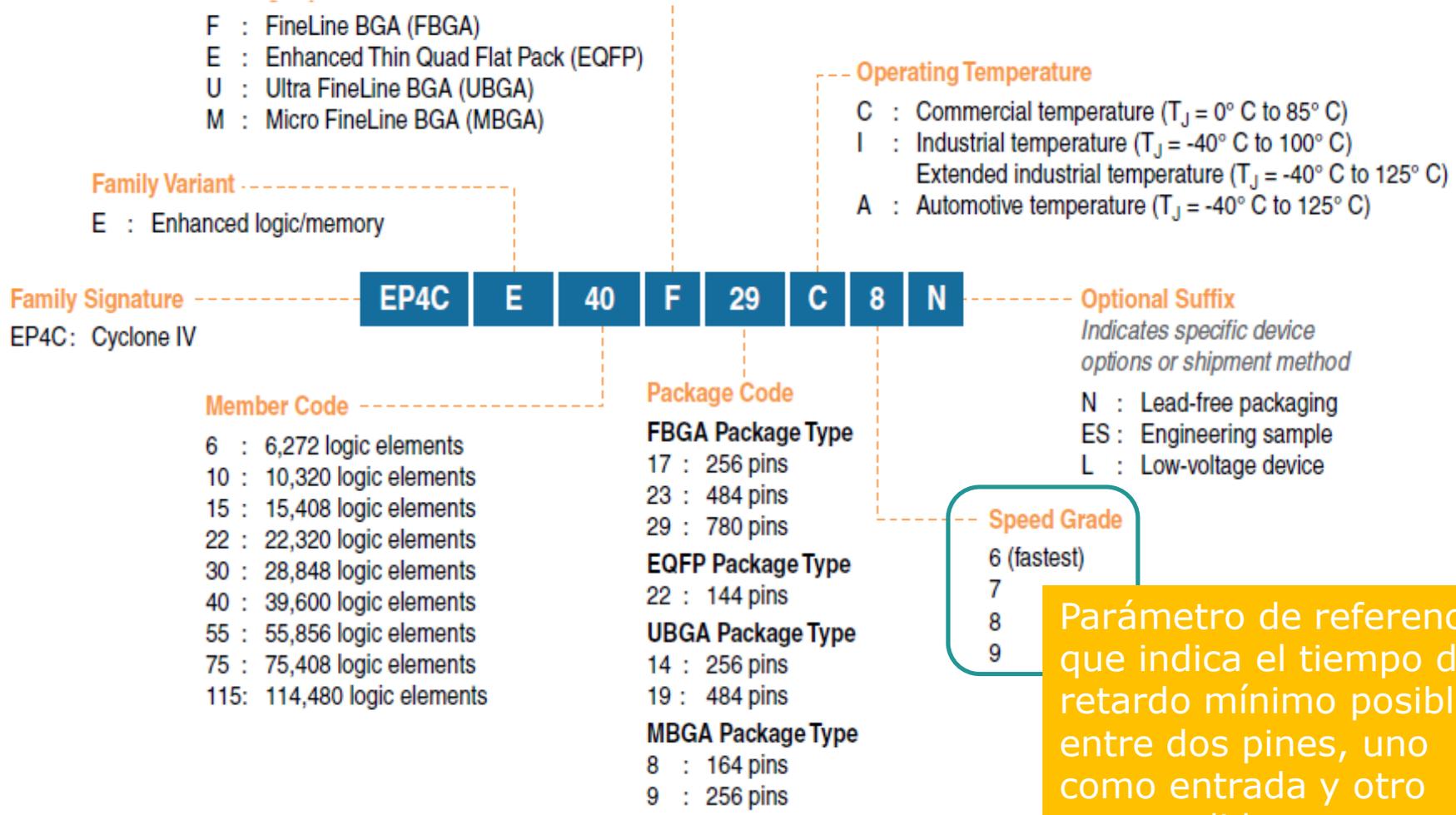
(1) The user I/Os count from pin-out files includes all general purpose I/O, dedicated clock pins, and dual purpose configuration pins. Transceiver pins and dedicated configuration pins are not included in the pin count.

Modelo de chip en placa DE0-Nano

Resources	EP4CGX15	EP4CGX22	EP4CGX30 ⁽¹⁾	EP4CGX30 ⁽²⁾	EP4CGX50 ⁽³⁾	EP4CGX75 ⁽³⁾	EP4CGX110 ⁽³⁾	EP4CGX150 ⁽³⁾
Logic elements (LEs)	14,400	21,280	29,440	29,440	49,888	73,920	109,424	149,760
Embedded memory (Kbits)	540	756	1,080	1,080	2,502	4,158	5,490	6,480
Embedded 18 × 18 multipliers	0	40	80	80	140	198	280	360
General purpose PLLs	1	2	2	4 ⁽⁴⁾	4 ⁽⁴⁾	4 ⁽⁴⁾	4 ⁽⁴⁾	4 ⁽⁴⁾
Multipurpose PLLs	2 ⁽⁵⁾	2 ⁽⁵⁾	2 ⁽⁵⁾	2 ⁽⁵⁾	4 ⁽⁵⁾	4 ⁽⁵⁾	4 ⁽⁵⁾	4 ⁽⁵⁾
Global clock networks	20	20	20	30	30	30	30	30
High-speed transceivers ⁽⁶⁾	2	4	4	4	8	8	8	8
Transceiver maximum data rate (Gbps)	2.5	2.5	2.5	3.125	3.125	3.125	3.125	3.125
PCIe (PIPE) hard IP blocks	1	1	1	1	1	1	1	1
User I/O banks	9 ⁽⁷⁾	9 ⁽⁷⁾	9 ⁽⁷⁾	11 ⁽⁸⁾	11 ⁽⁸⁾	11 ⁽⁸⁾	11 ⁽⁸⁾	11 ⁽⁸⁾
Maximum user I/O ⁽⁹⁾	72	150	150	290	310	310	475	475

Modelo EP4CGXxxx Especificado para usos en comunicaciones seriales

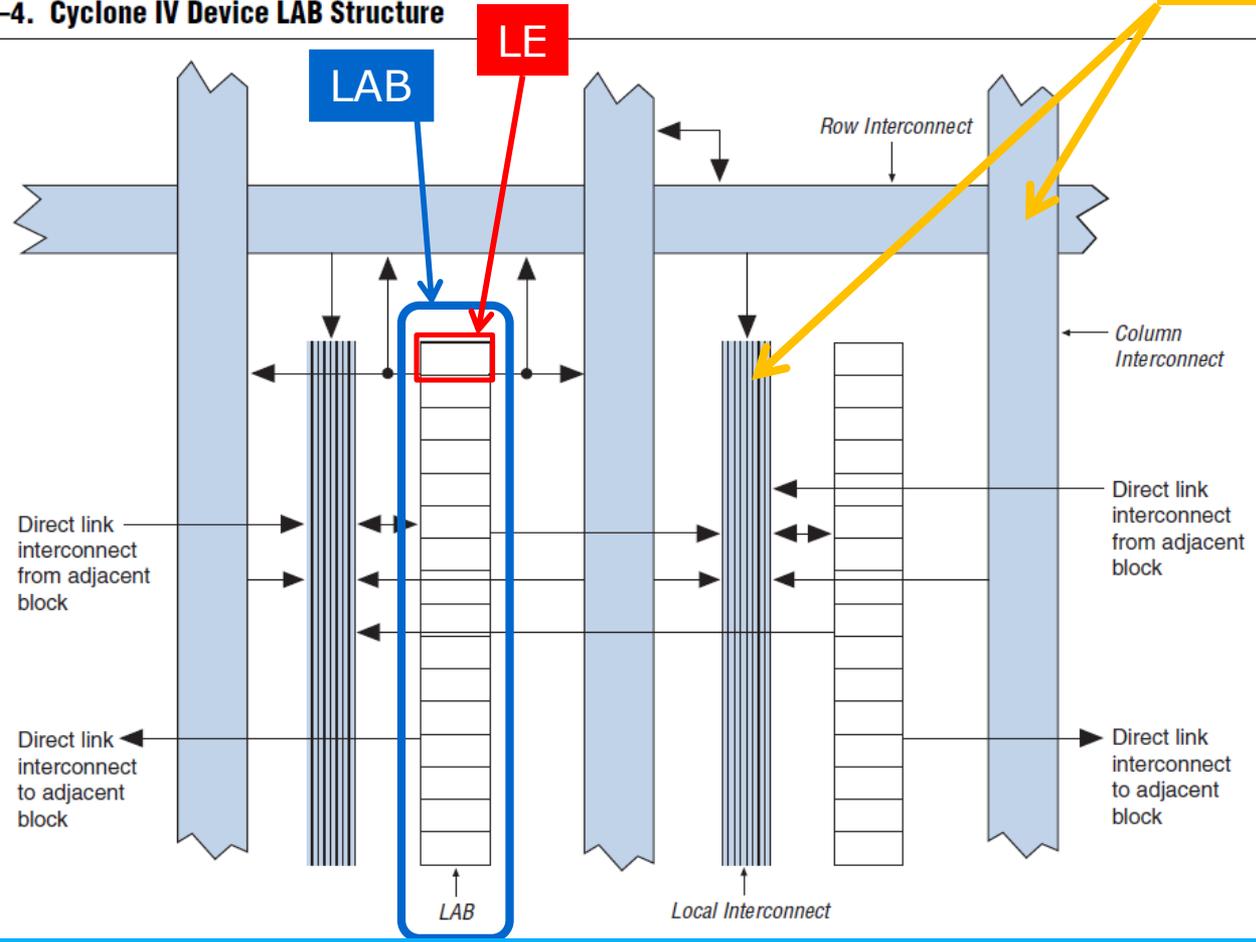
Figure 1-3. Packaging Ordering Information for the Cyclone IV E Device



Parámetro de referencia que indica el tiempo de retardo mínimo posible entre dos pines, uno como entrada y otro como salida.

Parte de la Matriz de interconexión.

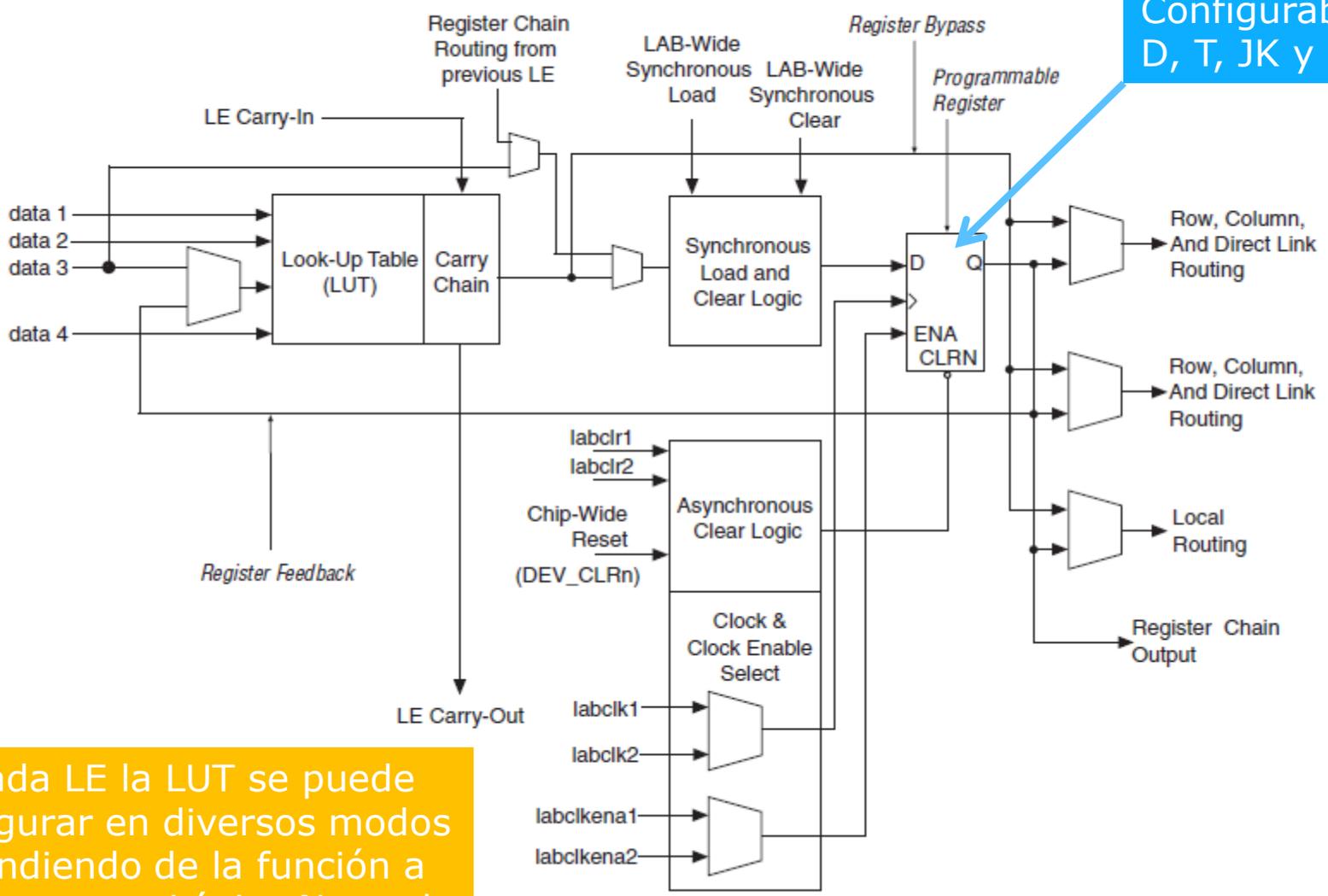
Figure 2-4. Cyclone IV Device LAB Structure



Cada LAB provee a los LE las señales de:
2 clocks.
2 clock enable.
2 asynchro clear.
1 synchro clear.
1 synchro load.

Se optimizan los accesos a los LABs (Logic Array Block) en especial, señales de reloj y clear. Dentro de un LAB se optimizan también los accesos entre los 16 LEs que lo constituyen. Ej: Contador rápido => conviene usar los LE de un mismo LAB.

Figure 2-1. Cyclone IV Device LEs

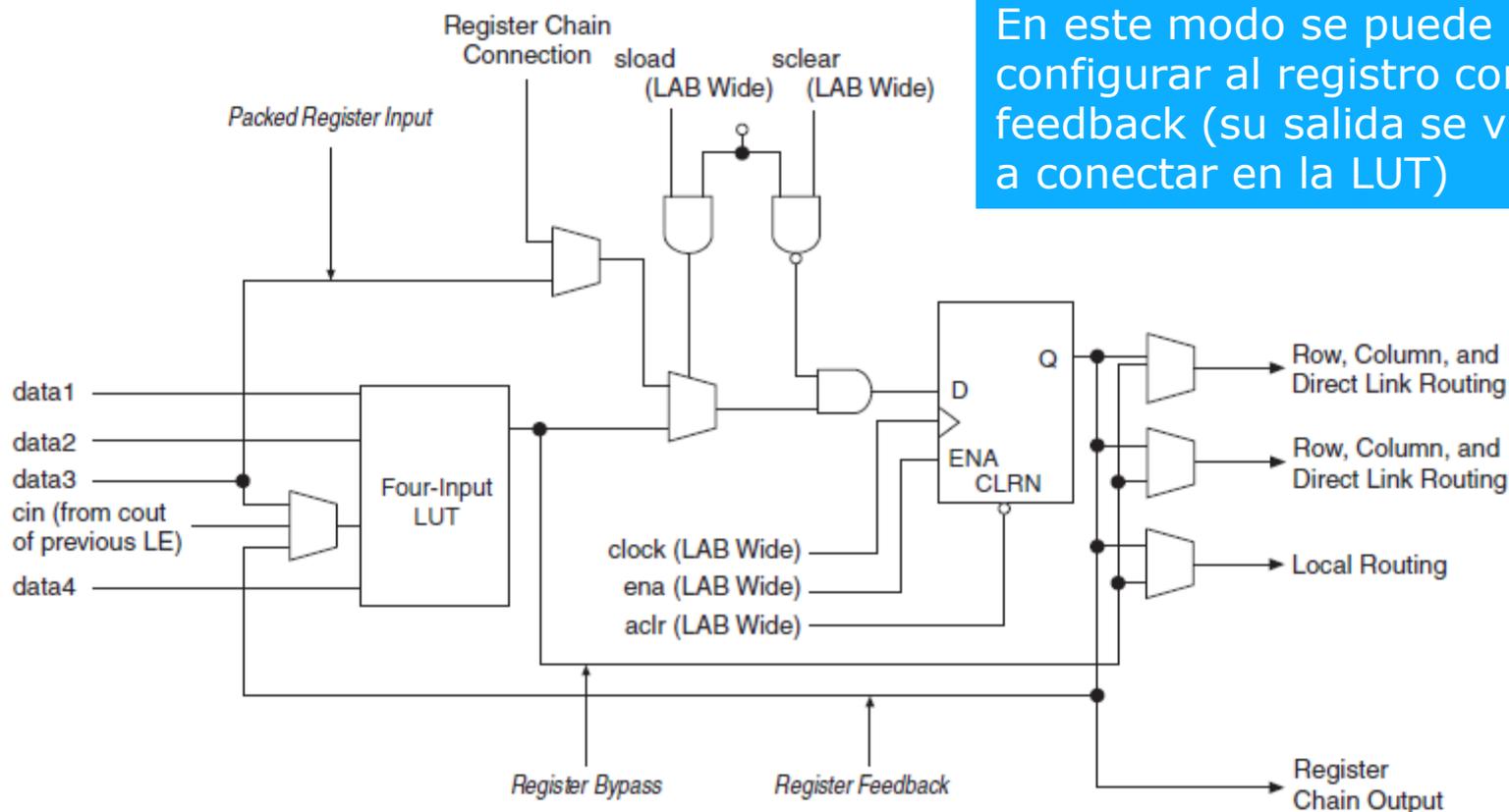


Configurable como D, T, JK y SR.

En cada LE la LUT se puede configurar en diversos modos dependiendo de la función a implementar: Lógica Normal ó Aritmético.

Configuración LE
en modo NORMAL

Figure 2–2. Cyclone IV Device LEs in Normal Mode



En este modo se puede configurar al registro como feedback (su salida se vuelve a conectar en la LUT)

El FF si no es requerido por la LUT puede ser reutilizado por otra parte del circuito. En este modo la capacidad de la LUT es de hasta 4 variables.

Bloques de memoria dedicada

Overview

M9K blocks support the following features:

- 8,192 memory bits per block (9,216 bits per block including parity)
- Independent read-enable (*rden*) and write-enable (*wren*) signals for each port
- Packed mode in which the M9K memory block is split into two 4.5 K single-port RAMs
- Variable port configurations
- Single-port and simple dual-port modes support for all port widths
- True dual-port (one read and one write, two reads, or two writes) operation
- Byte enables for data input masking during writes
- Two clock-enable control signals for each port (port A and port B)
- Initialization file to pre-load memory content in RAM and ROM modes

Bloques de memoria dedicada

Table 3–1. Summary of M9K Memory Features

Feature	M9K Blocks
Configurations (depth × width)	8192 × 1
	4096 × 2
	2048 × 4
	1024 × 8
	1024 × 9
	512 × 16
	512 × 18
	256 × 32
256 × 36	
Parity bits	✓
Byte enable	✓
Packed mode	✓
Address clock enable	✓
Single-port mode	✓
Simple dual-port mode	✓
True dual-port mode	✓
Embedded shift register mode ⁽¹⁾	✓
ROM mode	✓
FIFO buffer ⁽¹⁾	✓
Simple dual-port mixed width support	✓
True dual-port mixed width support ⁽²⁾	✓
Memory initialization file (.mif)	✓
Mixed-clock mode	✓

Se pueden implementar RDs para uso en diseños DSP como filtros FIR.

Memory Modes

Cyclone IV devices M9K memory blocks allow you to implement fully-synchronous SRAM memory in multiple modes of operation. Cyclone IV devices M9K memory blocks do not support asynchronous (unregistered) memory inputs.

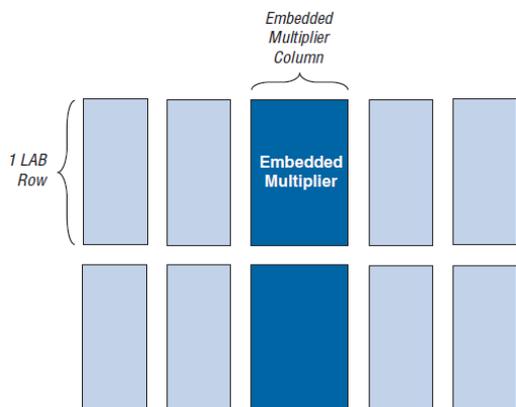
M9K memory blocks support the following modes:

- Single-port
- Simple dual-port
- True dual-port
- Shift-register
- ROM
- FIFO

Permite operaciones simultáneas de write y read de diferentes dispositivos en una dada posición de memoria.

Tipo de acceso secuencial First In-First Out

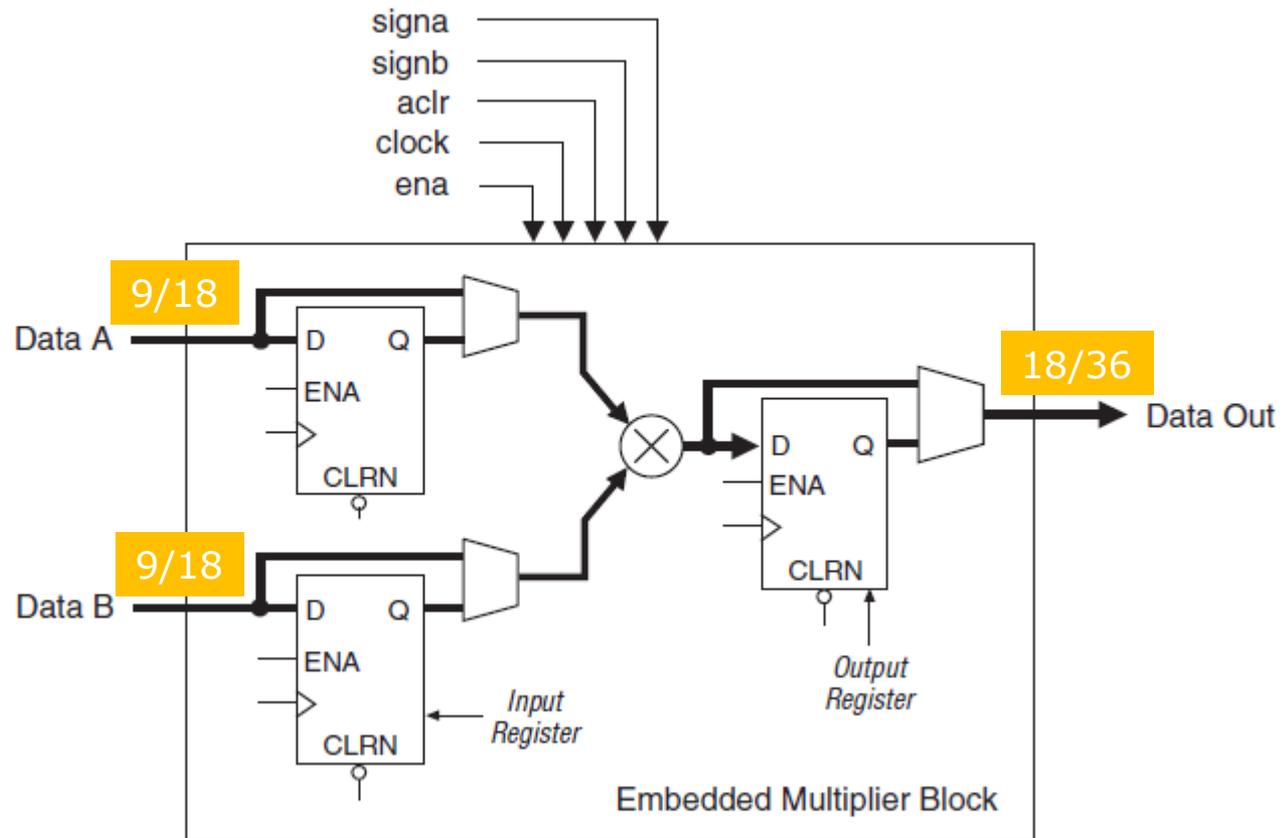
Figure 4-1. Embedded Multipliers Arranged in Columns with Adjacent LABs



Bloques de multiplicación dedicada

Cada bloque puede realizar dos operaciones de 9x9 ó una de 18x18 con o sin signo.

Figure 4-2. Multiplier Block Architecture



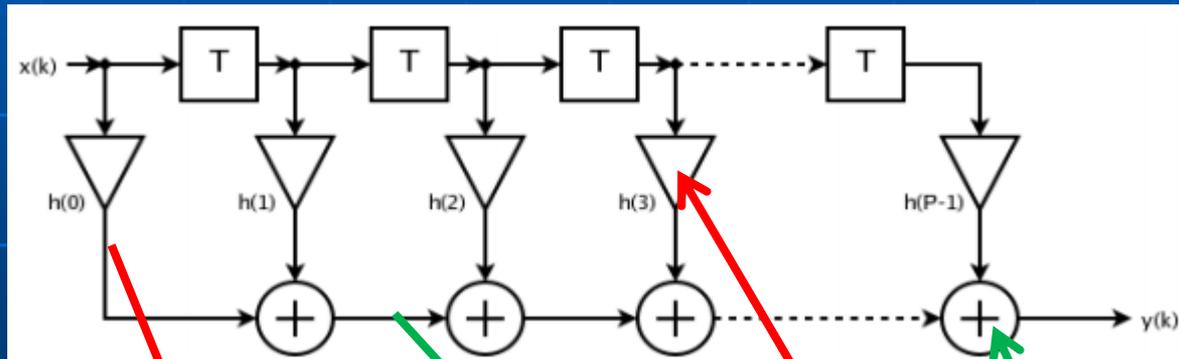
Multiplicadores dedicados: Justificación

Ejemplo en Diseño de filtros FIR

$$y_n = \sum_{k=0}^{N-1} h_k x_{n-k}$$

La salida de un filtro expresada como la entrada multiplicada por su respuesta a la función impulso

$$H(z) = \sum_{k=0}^{N-1} h_k z^{-k} = h_0 + h_1 z^{-1} + \dots + h_{N-1} z^{-(N-1)}$$



Esquema del filtro donde T son las muestras de $X(k)$ e $Y(k)$ es la salida discreta

$$x(0) * h(0)$$

Multiplicador

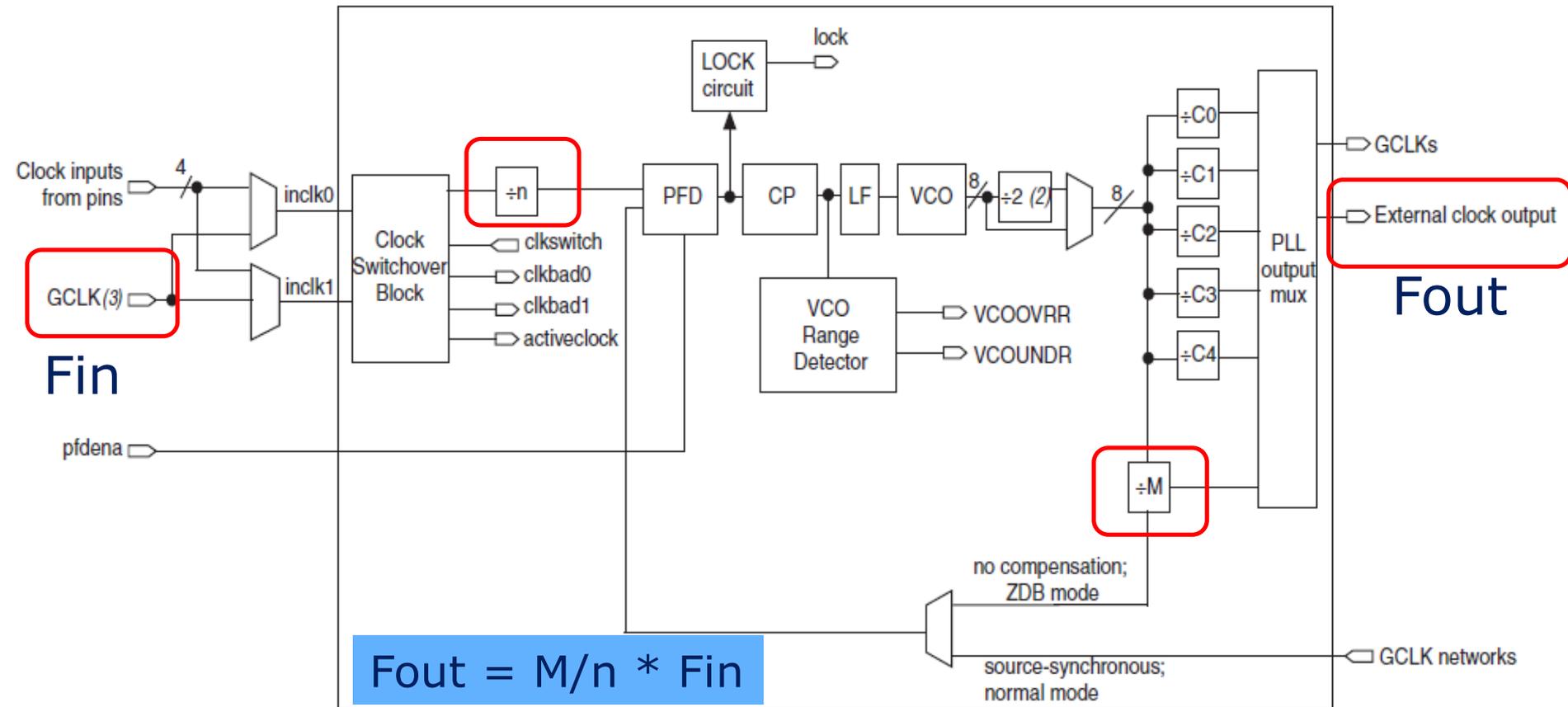
Sumador

$$x(0) * h(0) + x(1) * h(1)$$

Los sumadores son implementados combinando los LE

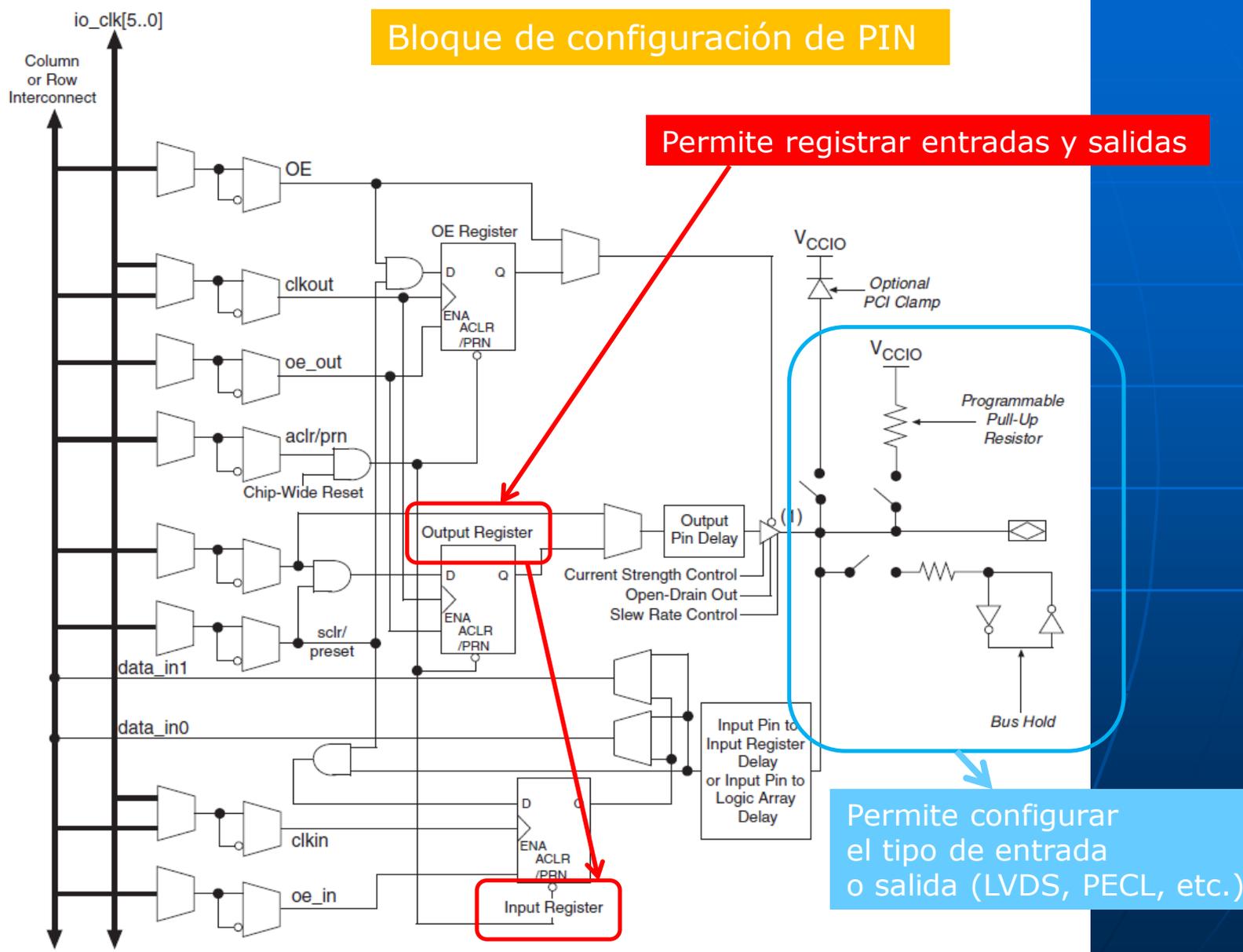
Bloque de Lazo de Enganche de Fase Digital (PLL)

Figure 5–10. Cyclone IV E PLL Block Diagram (1)



Por ejemplo se puede hacer un multiplicador fraccional de reloj. Empleando los bloques divisores n y M se puede multiplicar una señal de reloj externa " F_{in} " por M/n , obteniendo F_{out} .

Figure 6-1. Cyclone IV IOEs in a Bidirectional I/O Configuration for SDR Mode



Está normalizado por la IEEE la metodología para realizar el test y configuración de circuitos lógicos programables (como también otros dispositivos como microcontroladores) los cuales pueden estar directamente soldados al circuito impreso permitiendo lo que se denomina ISP (In-System Programmability).

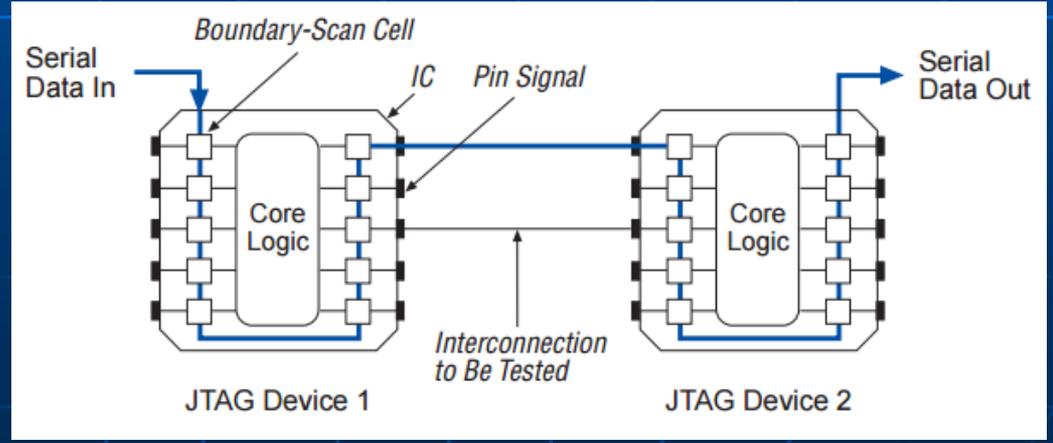
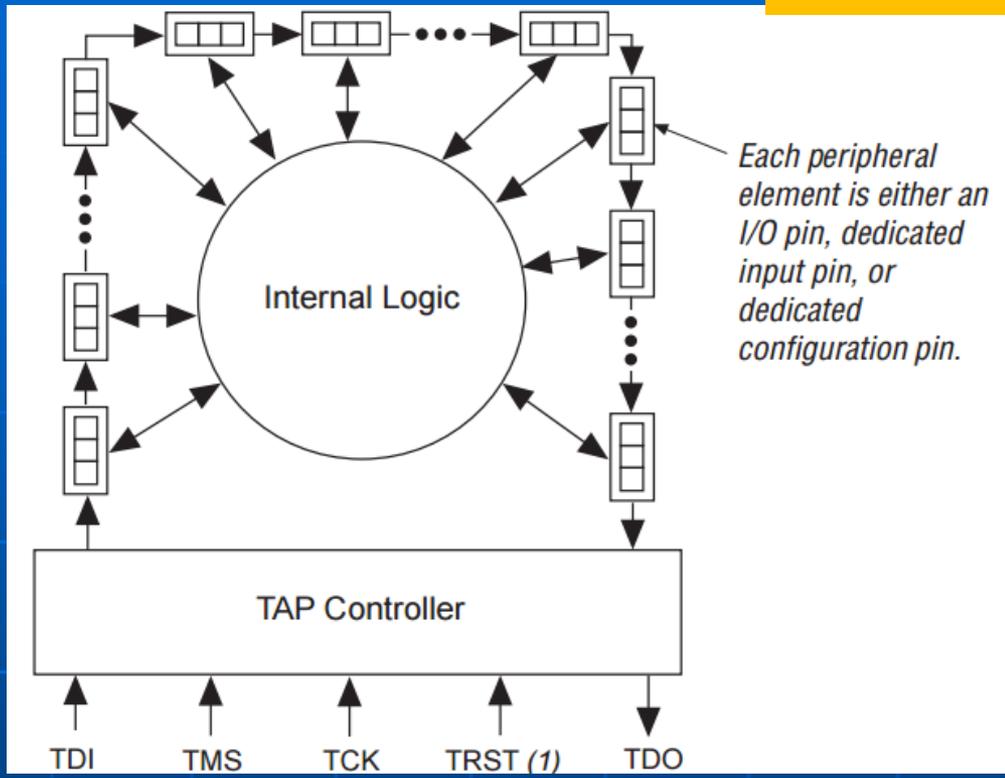
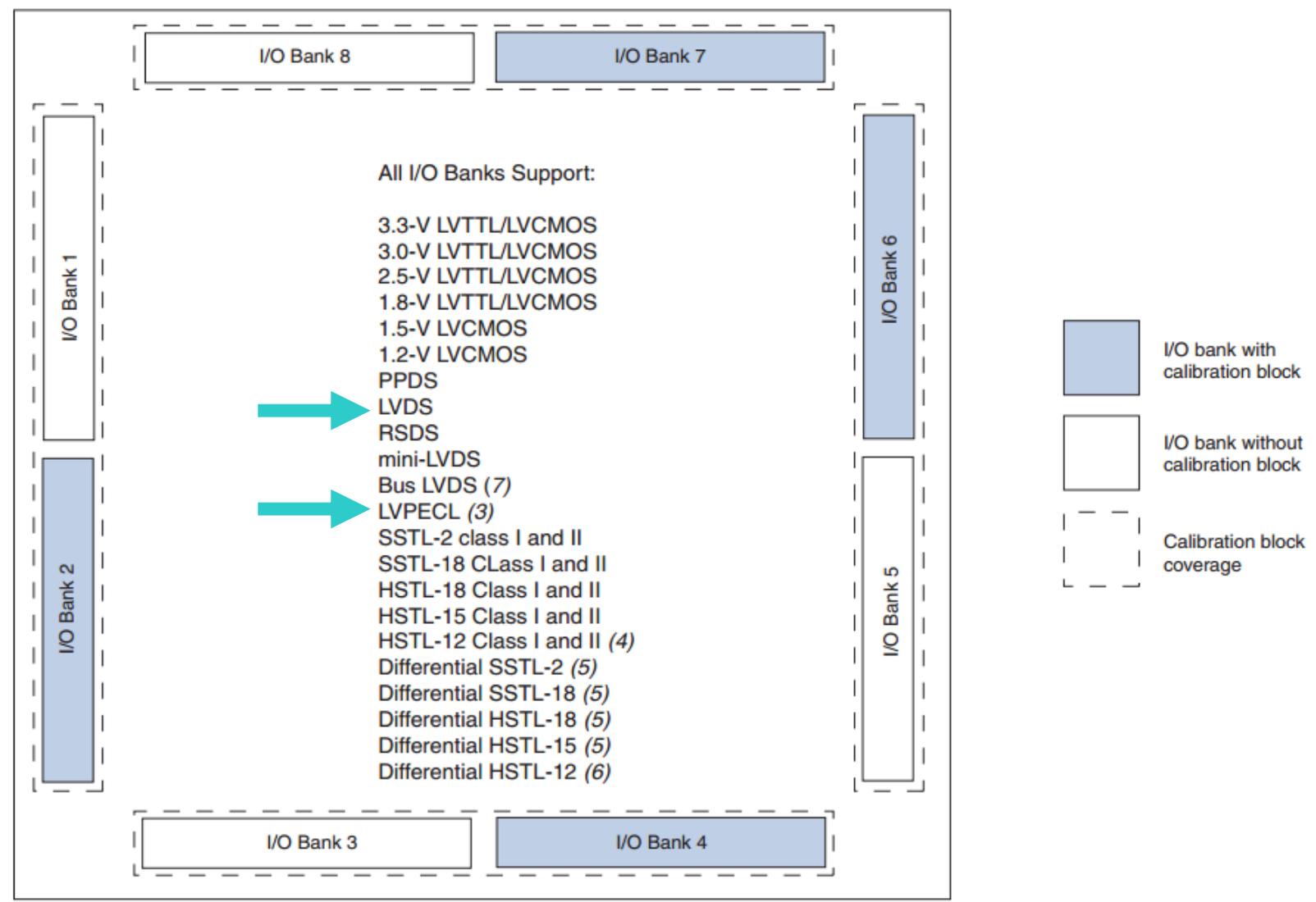


Figure 6–9. Cyclone IV E I/O Banks (1), (2)

Compatibilidad de familia lógica

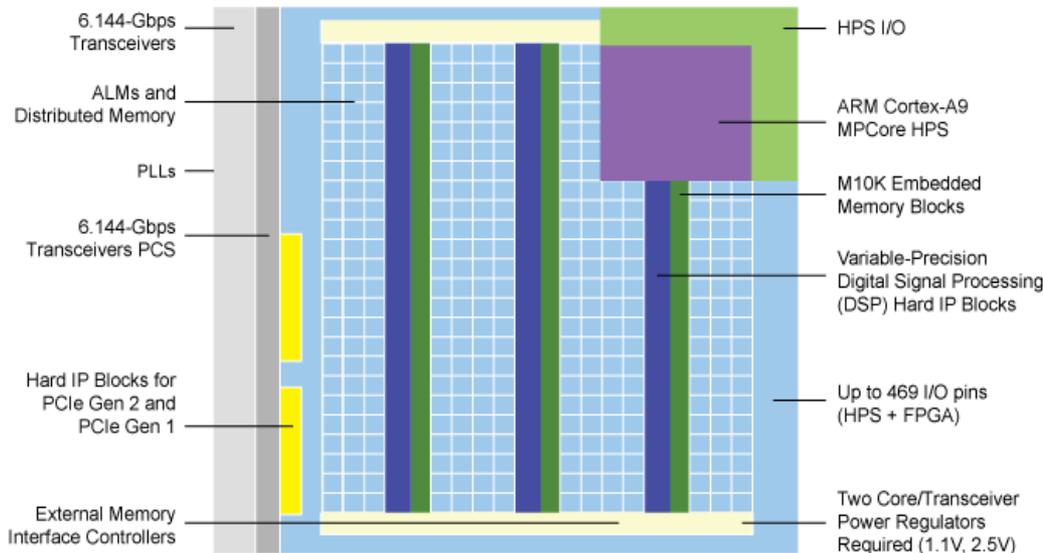


En los últimos años han comenzado a proliferar opciones donde las FPGAs además de sus recursos naturales, adicionan estructuras de "Hardware Fijo" como por ejemplo un "Microprocesador". En este ejemplo de Cyclone V, se trata de un micro ARM Cortex-A9.

Comparison of Cyclone V SoC Variants

Features	Cyclone V SE SoC	Cyclone V SX SoC	Cyclone V ST SoC
Processor		Dual-core ARM Cortex-A9 MPCore	
Processor Performance		925 MHz	
Logic Density Range		25 – 110K logic element (LE)	85 – 110K LE
Embedded Memory		5,761 kb	
18 x 19 Multipliers		224	
Maximum Transceivers	N/A		9
Maximum Transceiver Data Rate (Chip to Chip)	N/A	3.125 Gbps	6.144 Gbps
Memory Devices Supported (Hard Memory Controllers)		x1 32 bit, 400 MHz DDR2/DDR3 with ECC – HPS x1 32 bit, 400 MHz, DDR2/DDR3 – FPGA	

Hard Protocol IP



100/1000 EMAC – HPS
2 PCIe Gen1 – SX
2 PCIe Gen2 – ST

Esto implica que hoy en día las FPGA están compitiendo con los dispositivos ASICs que son semiprogramables.

FPGA de bajo costo de XILINX

Table 2: Summary of Spartan-3AN FPGA Attributes

Device	System Gates	Equivalent Logic Cells	CLBs	Slices	Distributed RAM Bits ⁽¹⁾	Block RAM Bits ⁽¹⁾	Dedicated Multipliers	DCMs	Maximum User I/O	Max Differential I/O Pairs	Bitstream Size ⁽¹⁾	In-System Flash Bits
XC3S50AN	50K	1,584	176	704	11K	54K	3	2	108	50	427K	1M ⁽²⁾
XC3S200AN	200K	4,032	448	1,792	28K	288K	16	4	195	90	1,168K	4M
XC3S400AN	400K	8,064	896	3,584	56K	360K	20	4	311	142	1,842K	4M
XC3S700AN	700K	13,248	1,472	5,888	92K	360K	20	8	372	165	2,669K	8M
XC3S1400AN	1400K	25,344	2,816	11,264	176K	576K	32	8	502	227	4,644K	16M

Esta FPGA posee memoria de configuración NO-VOLATIL y bancos de memoria dedicada SRAM.

Los CLBs son equivalentes a los LABs de Altera.
Los Slices son equivalentes a los LE de Altera.
Tecnología de 90 nm.

Posee multiplicadores de 18x18.

CLB: Configurable Logic Block.

DCM: digital Clock manager.

Los pines de I/O soportan LVTTTL, LVCMOS, LVDS, PECL y otros.
LVCMOS en 3,3-2,5-1,8-1,5 y 1,2V

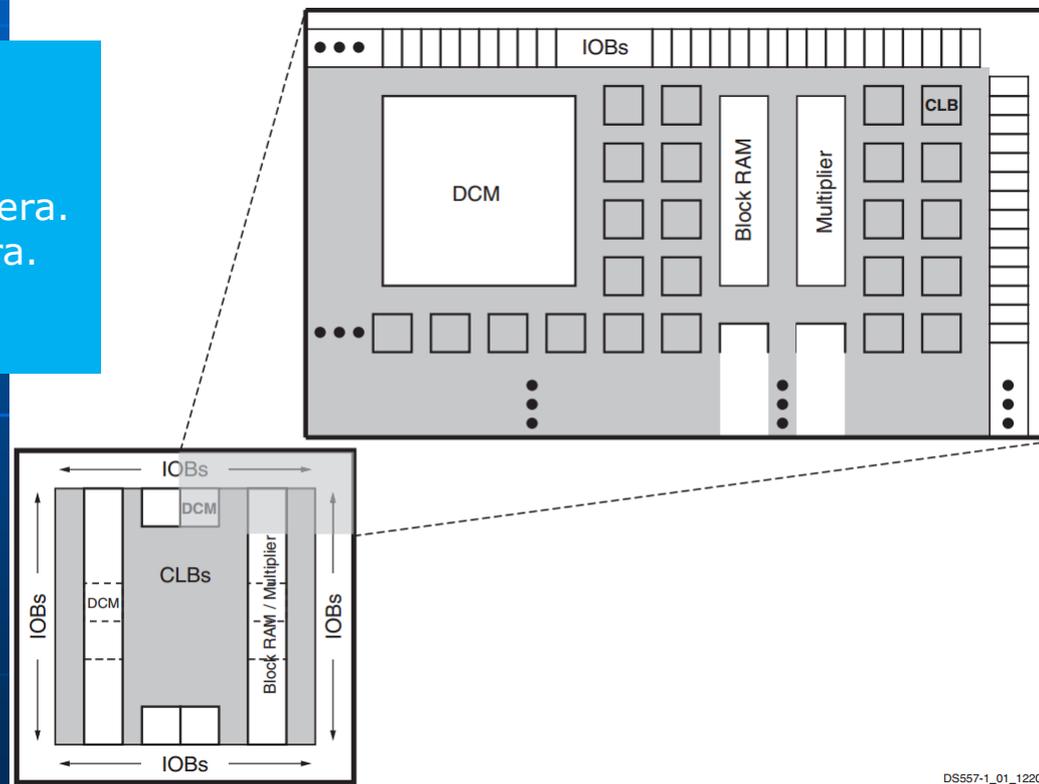
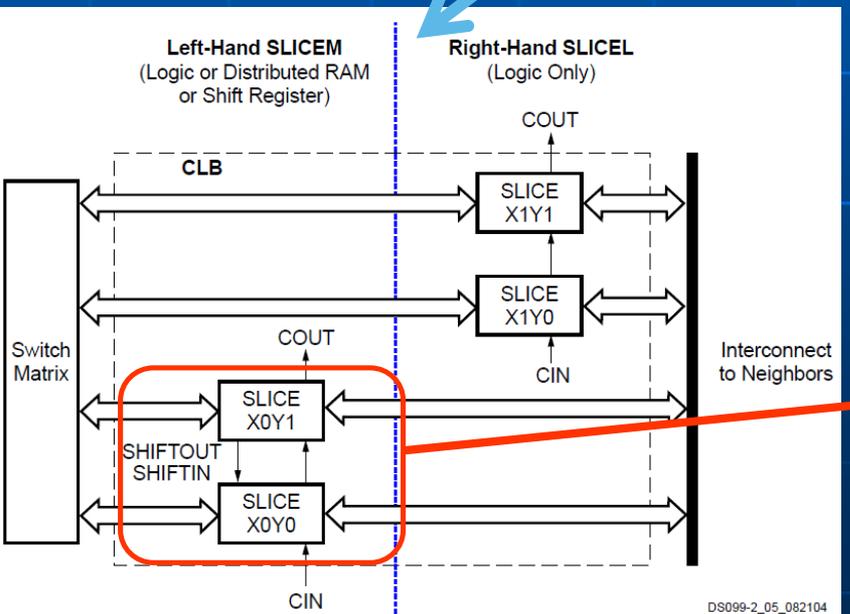
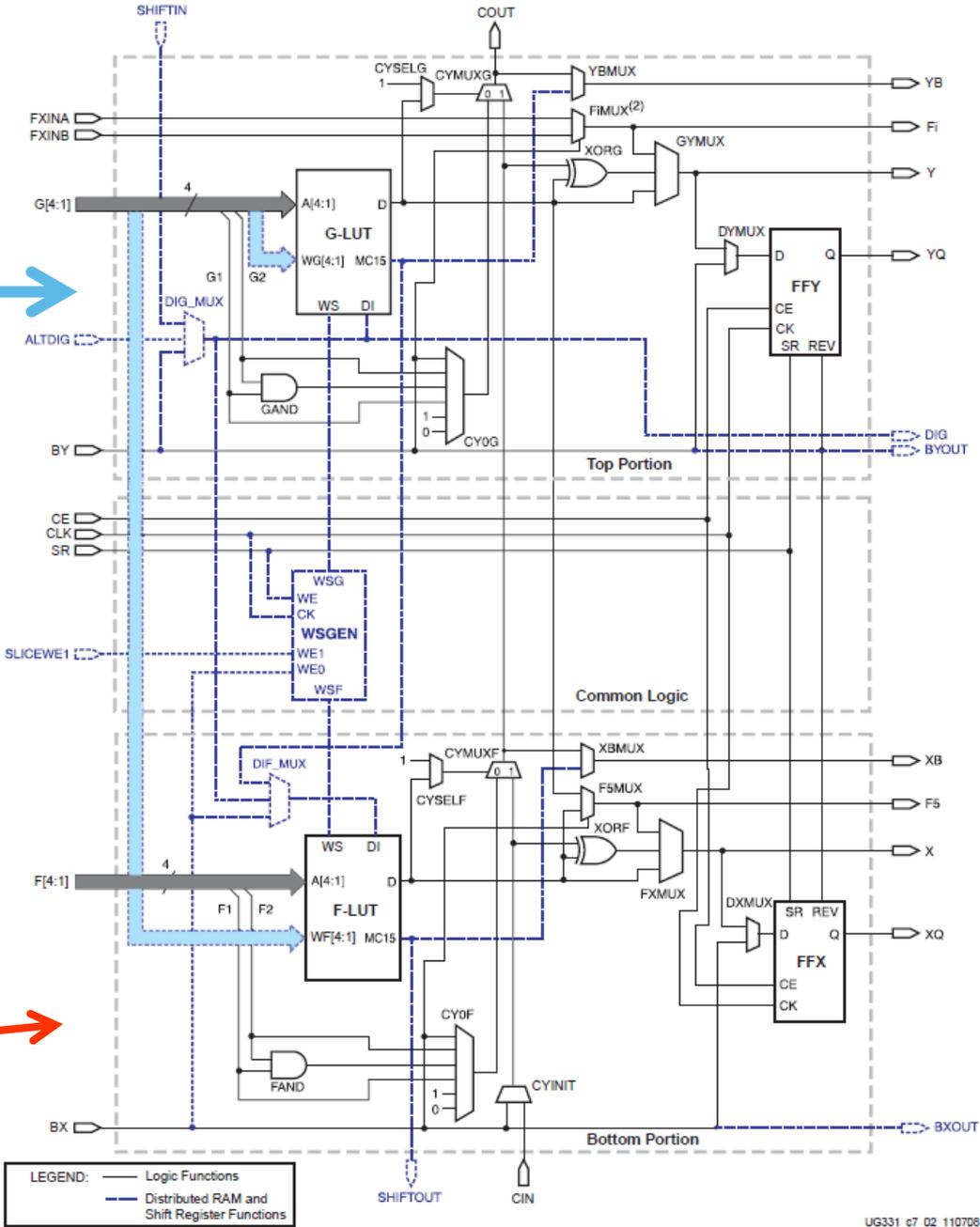


Diagrama de dos SLICEM de un CLB. En el se puede hacer lógica ó usarlo como un bit de memoria distribuida ó de un Shift Register.

Diagrama de un CLB mostrando las ubicaciones de los 4 SLICES.



Familia de **CPLD** de ALTERA (ahora INTEL-FPGA)
 Arquitectura similar a la FPGA pero con memoria Flash empleada para configuración y uso como memoria de datos.

Hasta 2200 LEs y 270 pines de Entrada/Salida (I/O).

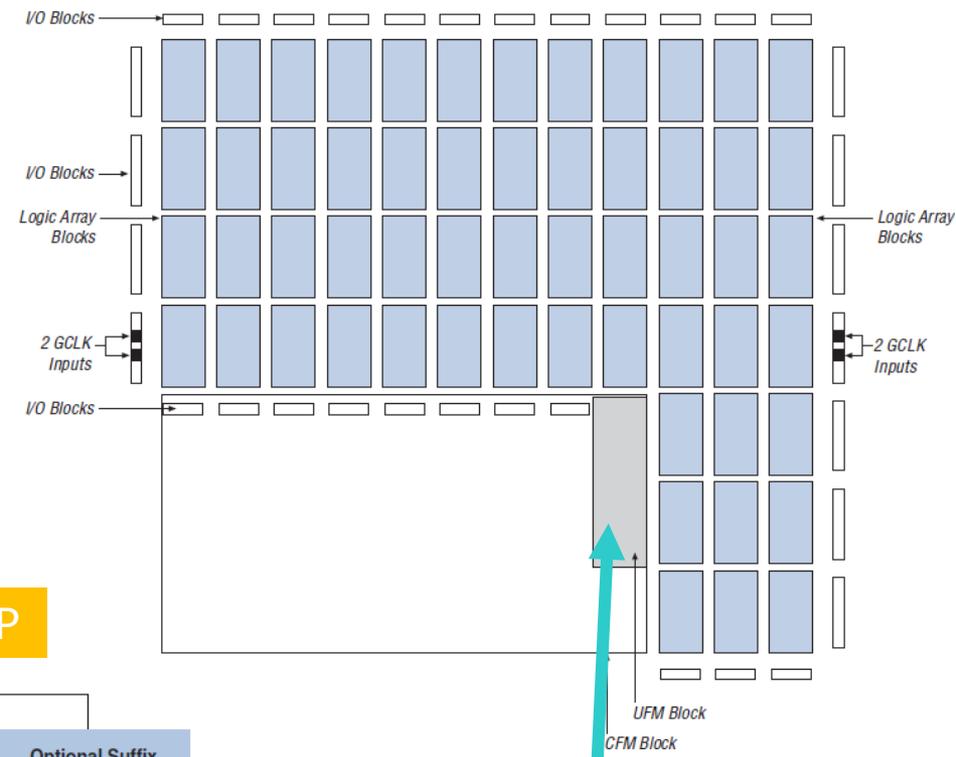
Frecuencia de operación máxima de 300 MHz.

Oscilador interno.

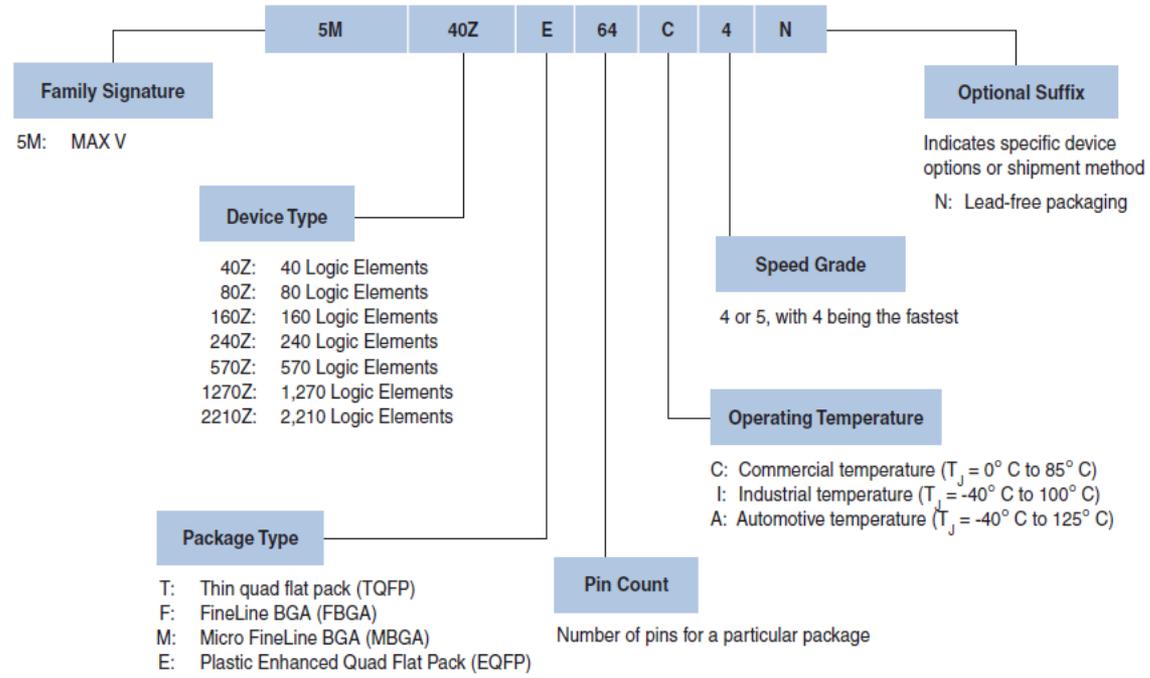
8Kbits de memoria Flash para el usuario hasta 1000 ciclos lectura-escritura.

NO HAY RAM

Feature	5M40Z	5M80Z	5M160Z	5M240Z	5M570Z	5M1270Z	5M2210Z
LEs	40	80	160	240	570	1,270	2,210
Typical Equivalent Macrocells	32	64	128	192	440	980	1,700
User Flash Memory Size (bits)	8,192	8,192	8,192	8,192	8,192	8,192	8,192
Global Clocks	4	4	4	4	4	4	4
Internal Oscillator	1	1	1	1	1	1	1
Maximum User I/O pins	54	79	79	114	159	271	271
t _{PD1} (ns) (1)	7.5	7.5	7.5	7.5	9.0	6.2	7.0
f _{CNT} (MHz) (2)	152	152	152	152	152	304	304
t _{SU} (ns)	2.3	2.3	2.3	2.3	2.2	1.2	1.2
t _{CO} (ns)	6.5	6.5	6.5	6.5	6.7	4.6	4.6



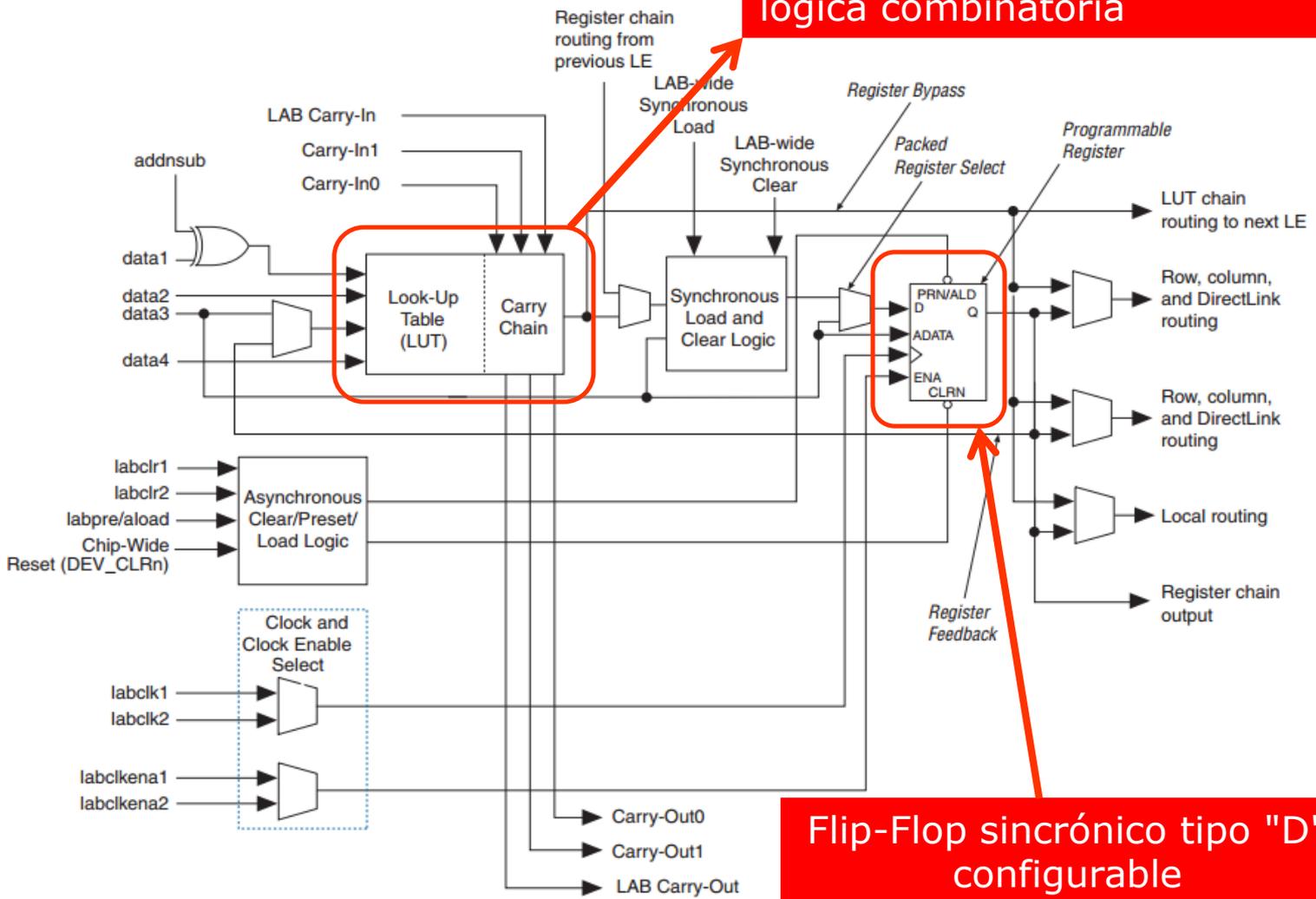
DESIGNACIÓN DE LOS MODELOS DEL CHIP



Memoria ROM dedicada

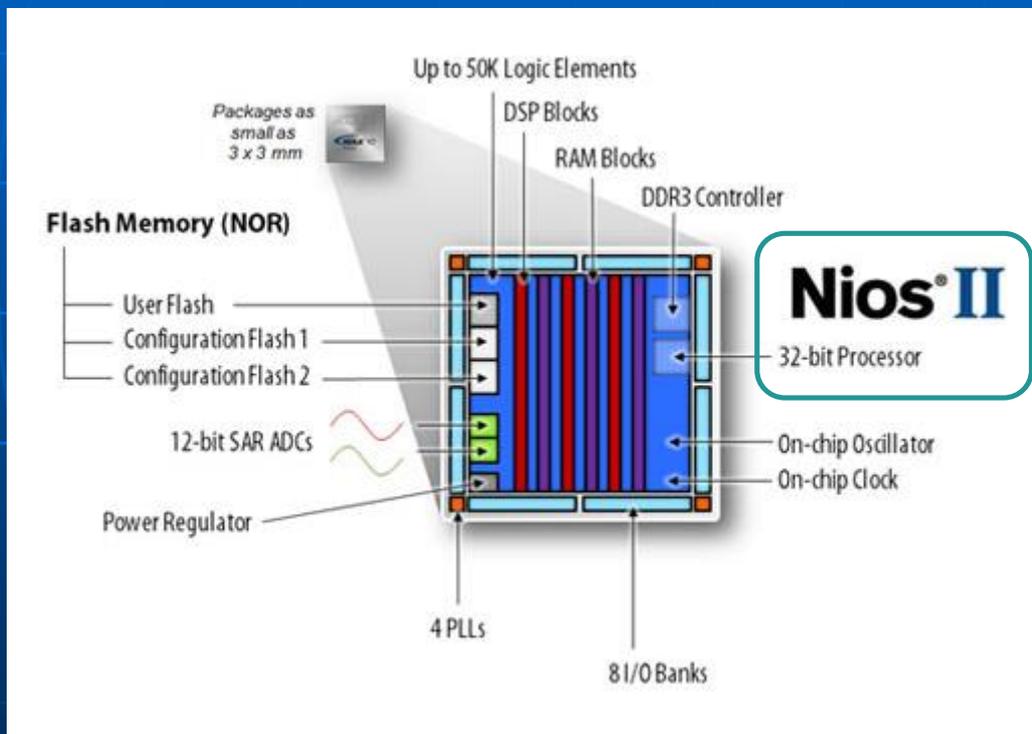
Diagrama de un Elemento Lógico (LE)

Núcleo de generación de lógica combinatoria



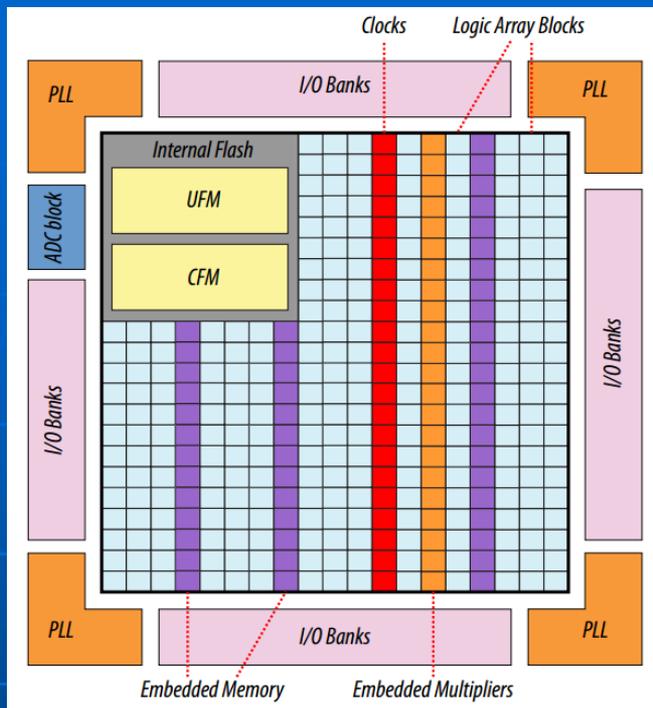
Flip-Flop sincrónico tipo "D" configurable

MAX 10 es una FPGA de bajo costo que reúne las características de las EPLD (configuración por memoria FLASH) y las FPGA tradicionales que emplean distintos tipos de bloques dedicados, todo comunicado por una matriz de interconexión distribuída y la generación de lógica es mediante el uso de tablas de Look-Up.



Otra particularidad es que incorpora un conversor ADC de 12 bits con tasa de hasta 1Mbps y hasta 18 canales, uno de los cuales es un sensor de temperatura el cual está también incorporado al chip.

Procesador 32 bits NIOS.
Controlador de DRAM.
Bloques de DSP.
PLLs.
RAMs.
Multiplicadores.

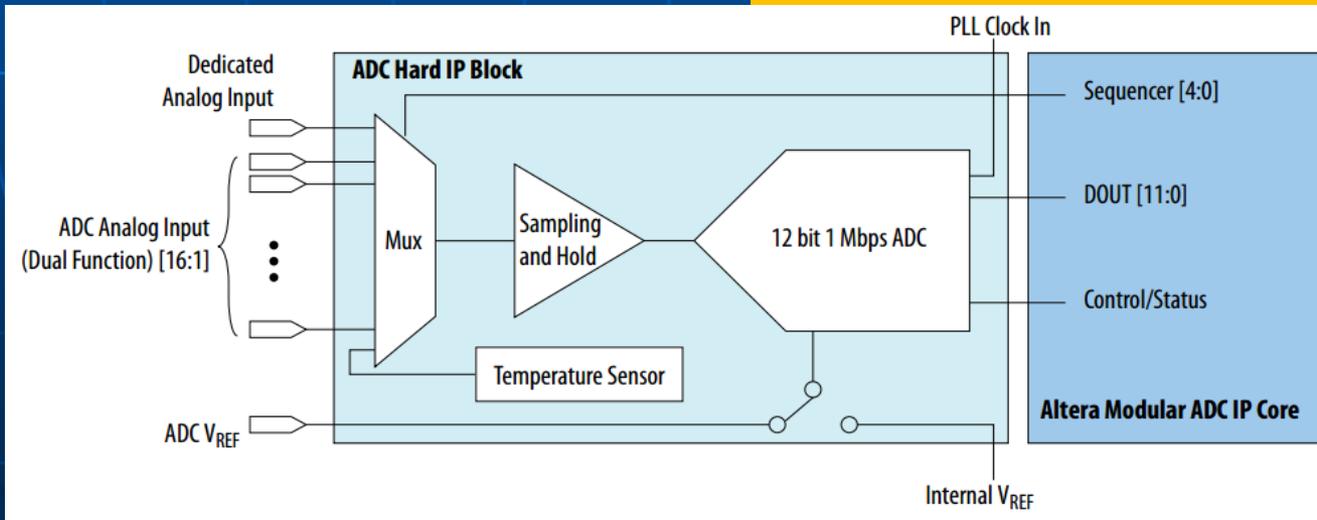


Parte del precio que se paga es el de no poder disponer de muchos recursos de lógica.

Esta línea dispone de hasta 50 K LEs (la Cyclone IV mas grande llega a 150 K LEs pero no tiene memoria FLASH sino SRAM para la configuración).

Pero por otro lado, la MAX 10 no requiere de chip adicional de memoria para el booteo de la FPGA.

BLOQUE CONVERTOR AD



FPGA de alta gama de ALTERA

Stratix V Family Variants

The Stratix V device family contains the GT, GX, GS, and E variants.

Stratix V GT devices, with both 28.05-Gbps and 12.5-Gbps transceivers, are optimized for applications that require ultra-high bandwidth and performance in areas such as 40G/100G/400G optical communications systems and optical test systems. 28.05-Gbps and 12.5-Gbps transceivers are also known as GT and GX channels, respectively.

Stratix V GX devices offer up to 66 integrated transceivers with 14.1-Gbps data rate capability. These transceivers also support backplane and optical interface applications. These devices are optimized for high-performance, high-bandwidth applications such as 40G/100G optical transport, packet processing, and traffic management found in wireline, military communications, and network test equipment markets.

Stratix V GS devices have an abundance of variable precision DSP blocks, supporting up to 3,926 18x18 or 1,963 27x27 multipliers. In addition, Stratix V GS devices offer integrated transceivers with 14.1-Gbps data rate capability. These transceivers also support backplane and optical interface applications. These devices are optimized for transceiver-based DSP-centric applications found in wireline, military, broadcast, and high-performance computing markets.

Table 1: Summary of Features for Stratix V Devices

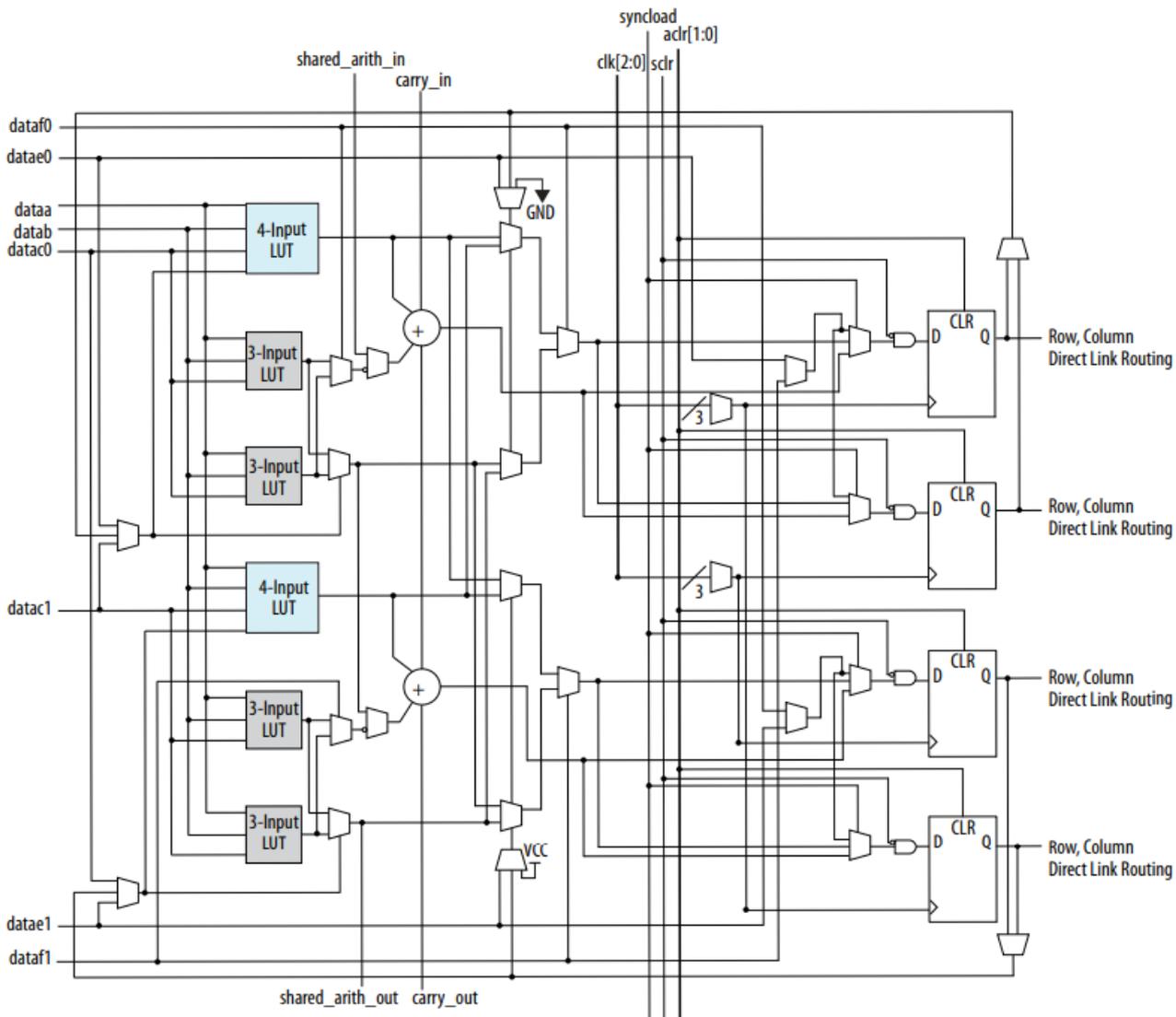
Feature	Description
Technology	<ul style="list-style-type: none"> • 28-nm TSMC process technology • 0.85-V or 0.9-V core voltage
Low-power serial transceivers	<ul style="list-style-type: none"> • 28.05-Gbps transceivers on Stratix V GT devices • Electronic dispersion compensation (EDC) for XFP, SFP+, QSFP, CFP optical module support • Adaptive linear and decision feedback equalization • Transmitter pre-emphasis and de-emphasis • Dynamic reconfiguration of individual channels • On-chip instrumentation (EyeQ non-intrusive data eye monitoring)
Backplane capability	<ul style="list-style-type: none"> • 600-Megabits per second (Mbps) to 12.5-Gbps data rate capability
General-purpose I/Os (GPIOs)	<ul style="list-style-type: none"> • 1.4-Gbps LVDS • 1,066-MHz external memory interface • On-chip termination (OCT) • 1.2-V to 3.3-V interfacing for all Stratix V devices
Embedded HardCopy Block	<ul style="list-style-type: none"> • PCIe Gen3, Gen2, and Gen1 complete protocol stack, x1/x2/x4/x8 end point and root port
Embedded transceiver hard IP	<ul style="list-style-type: none"> • Interlaken physical coding sublayer (PCS) • Gigabit Ethernet (GbE) and XAUI PCS • 10G Ethernet PCS • Serial RapidIO[®] (SRIO) PCS • Common Public Radio Interface (CPRI) PCS • Gigabit Passive Optical Networking (GPON) PCS
Power management	<ul style="list-style-type: none"> • Programmable Power Technology • Quartus II integrated PowerPlay Power Analysis

Table 2. Comparison of Stratix V Variants

Feature	Stratix V E FPGA	Stratix V GS FPGA	Stratix V GX FPGA	Stratix V GT FPGA
High-performance adaptive logic modules (ALMs)	359,200	262,400	359,200	234,720
Variable-precision DSP blocks (18x18)	704	3,926	798	512
M20K memory blocks	2,640	2,567	2,660	2,560
External memory interface	✓	✓	✓	✓
Partial reconfiguration	✓	✓	✓	✓
fPLL	✓	✓	✓	✓
Design security	✓	✓	✓	✓
SEU mitigation	✓	✓	✓	✓
PCI Express Gen3, Gen2, Gen1 hard IP blocks	-	Up to 2	Up to 4	1
Embedded HardCopy Blocks and hard IP	-	✓	✓	✓
Transceivers (1)	-	14.1 Gbps / 48	14.1 Gbps / 66	28.05 Gbps / 4 12.5 Gbps / 32

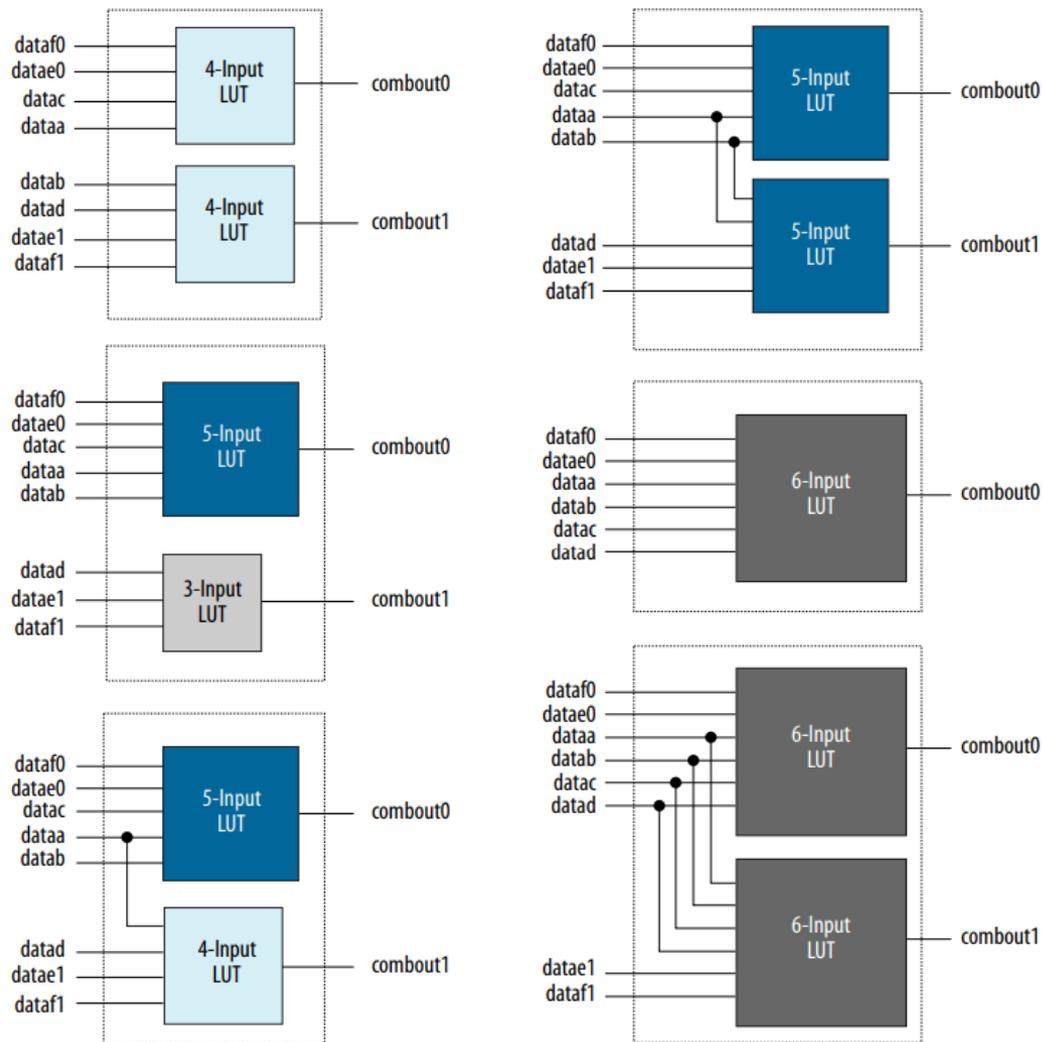
Table 4: Stratix V GS Device Features

Features	5SGSD3	5SGSD4	5SGSD5	5SGSD6	5SGSD8
Logic Elements (K)	236	360	457	583	695
Registers (K)	356	543	690	880	1,050
14.1-Gbps transceivers	12 or 24	12, 24, or 36	24 or 36	36 or 48	36 or 48
PCIe hard IP blocks	1	1	1	1, 2, or 4	1, 2, or 4
Fractional PLLs	20	20 ⁵	24	28	28
M20K Memory Blocks	688	957	2,014	2,320	2,567
M20K Memory (Mbits)	13	19	39	45	50
Variable Precision Multipliers (18x18)	1,200	2,088	3,180	3,550	3,926
Variable Precision Multipliers (27x27)	600	1,044	1,590	1,775	1,963
DDR3 SDRAM x72 DIMM Interfaces	2	4	4	6	6
User I/Os ¹ , Full-Duplex LVDS, 14.1-Gbps Transceivers					
Package ^{2 3 6 7}	5SGSD3	5SGSD4	5SGSD5	5SGSD6	5SGSD8
EH29-H780	360, 90, 12 ^H	360, 90, 12 ^H	—	—	—
HF35-F1152 ⁸	432, 108, 24	432, 108, 24	552, 138, 24	—	—
KF40-F1517 ⁸	—	696, 174, 36	696, 174, 36	696, 174, 36	696, 174, 36
NF45-F1932 ⁸	—	—	—	840, 210, 48	840, 210, 48



MODOS de Funcionamiento:

- ✓ Normal.
- ✓ Extendido.
- ✓ Aritmético.
- ✓ Aritmético compartido

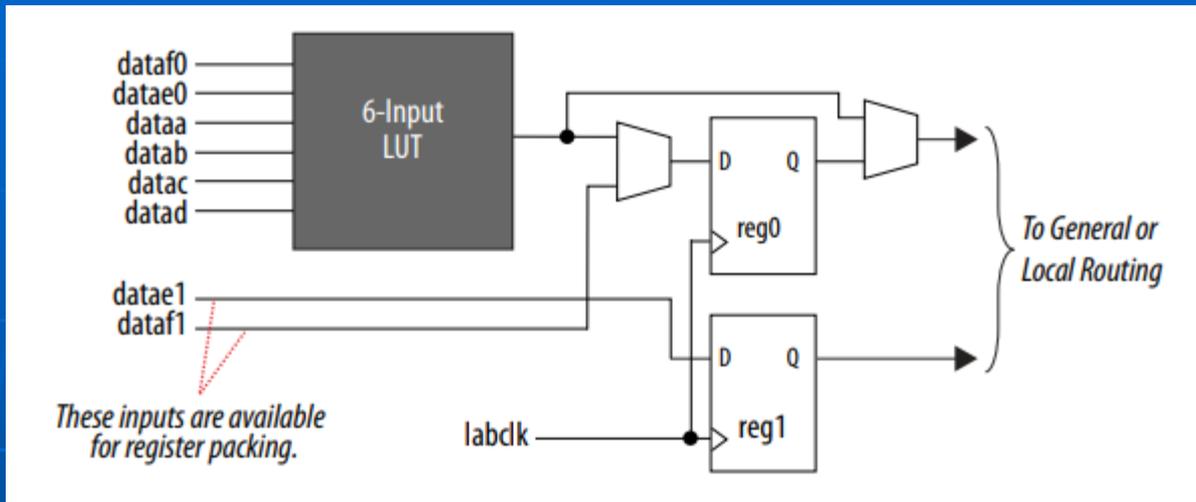


MODO NORMAL

Distintas combinaciones para generar lógica combinatoria con un sólo bloque ALM.

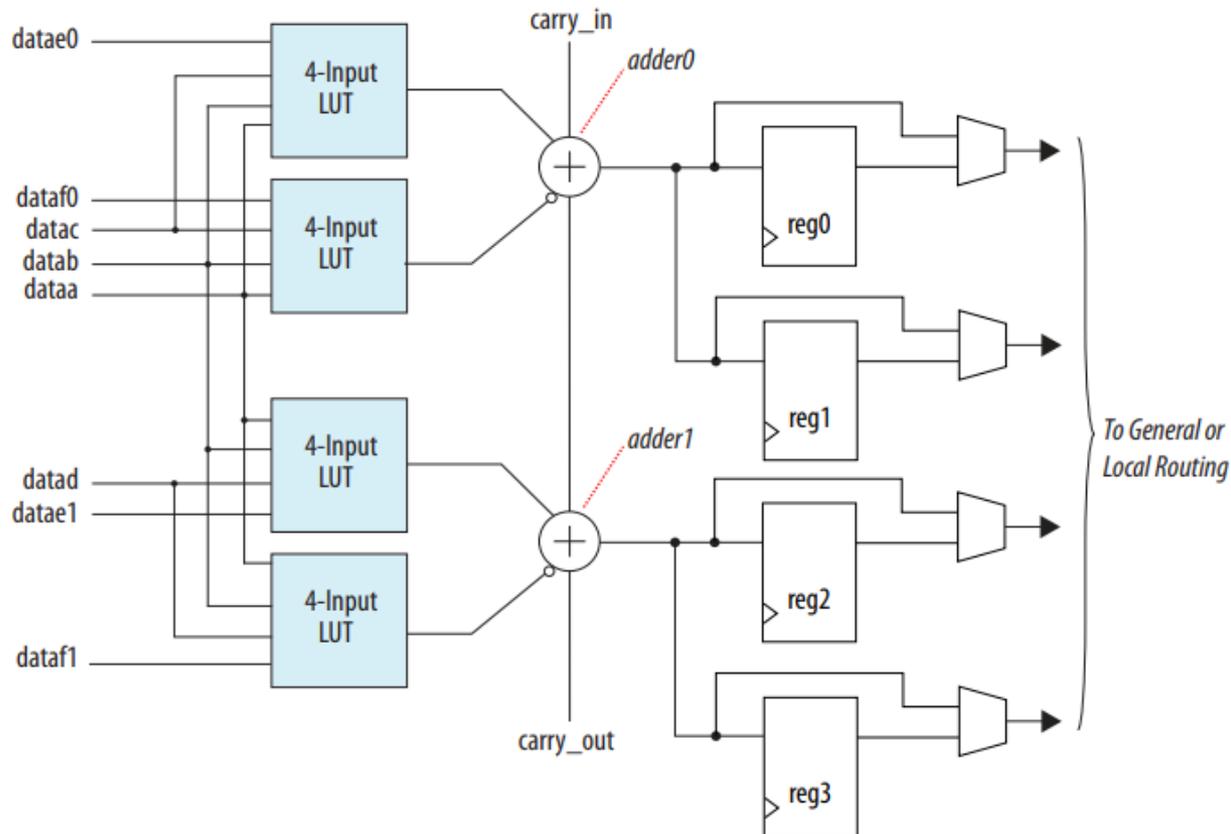
MEDIO BLOQUE "ALM"

MODO NORMAL



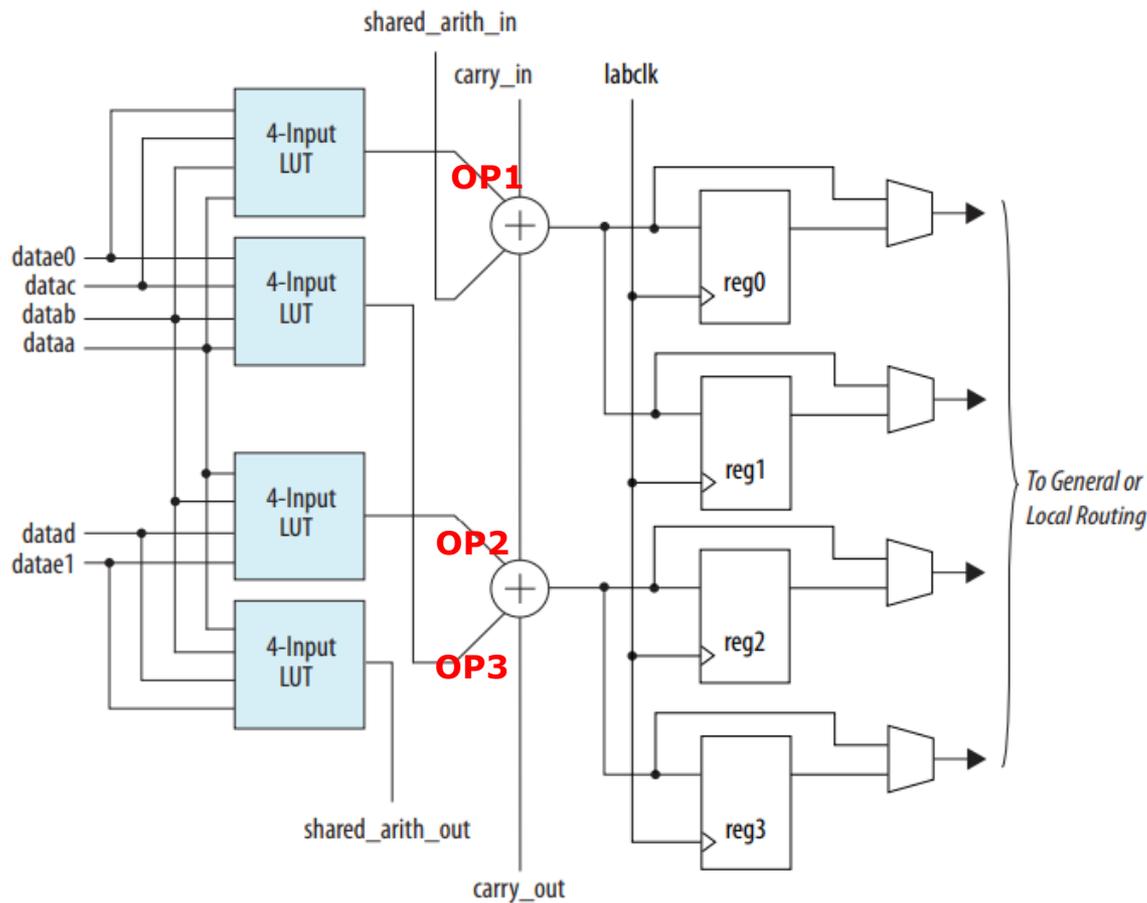
Este es un ejemplo de reutilización de componentes donde se muestra el caso en que se requiera usar una función de lógica combinatoria de hasta 6 entradas. Con la mitad de un bloque ALM, si esa función no requiere salida registrada (anteponer un registro - flip-flop tipo "D") entonces se pueden reutilizar los dos FFs del 1/2 ALM con las entradas adicionales al bloque "datae1" y "dataf1".

MODO ARITMÉTICO

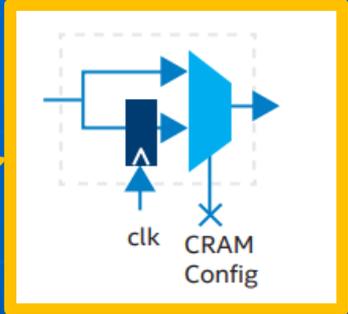
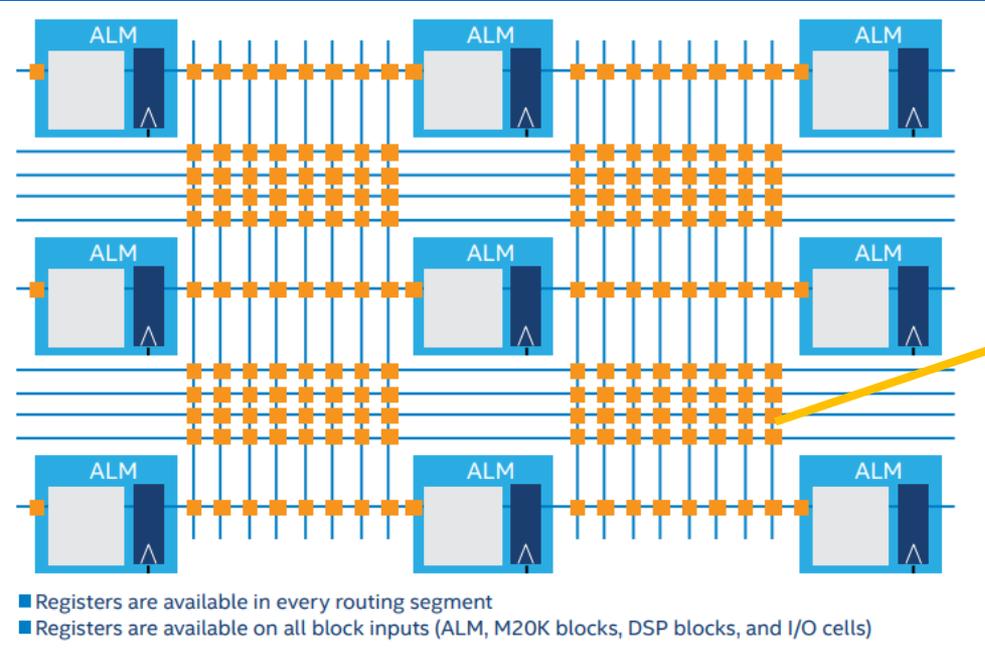


En este modo se usan dos juegos de LUTs de 4 entradas cada una con dos FULL ADDERS dedicados (adder0 y adder1), es decir, que los operandos de entrada de por ej, adder0 pueden provenir de funciones lógicas de 4 entradas cada una máximo si fueran requeridas.

MODO ARITMÉTICO COMPARTIDO



En este caso se puede reacomodar el circuito para permitir sumas de 3 operandos simultáneamente (OP1, OP2 y OP3)



En cada unión ahora se puede anteponer o no un registro (FF "D").

La nueva familia de Stratix la 10: Presenta nuevas características respecto a la V. Una de las más sobresalientes es la de la mejora en la matriz de interconexión, donde se han agregado registros en cada segmento de ruteo y en las entradas de los ALMs lo que permite un mejor control en la compensación interna de retardos logrando mejoras en cuanto a la velocidad máxima de trabajo interna en algunos casos. La otra característica es el tamaño de los Trs: 14 nm comparado con los 28 nm de la Stratix V.

De los diferentes modelos: uno de ellos (SX SoC) incorpora un microprocesador de 4 núcleos Cortex-A53 de 64 bits. Otro modelo (GX) posee transceptores que pueden trabajar hasta 28,3 Gbps y otro (TX) incorpora un transceptor que puede transmitir hasta 56 Gbps empleando la técnica de PAM4 (Modulación por Amplitud de Pulso de 4 niveles de amplitud) o hasta 30Gbps en NRZ(No Return to Zero).

FPGA Comparison Table

Features	Artix-7	Kintex-7	Virtex-7	Spartan-6	Virtex-6
Logic Cells	215,000	480,000	2,000,000	150,000	760,000
BlockRAM	13Mb	34Mb	68Mb	4.8Mb	38Mb
DSP Slices	740	1,920	3,600	180	2,016
DSP Performance (symmetric FIR)	930GMACs	2,845GMACs	5,335GMACs	140GMACs	2,419GMACs
Transceiver Count	16	32	96	8	72
Transceiver Speed	6.6Gb/s	12.5Gb/s	28.05Gb/s	3.2Gb/s	11.18Gb/s
Total Transceiver Bandwidth (full duplex)	211Gb/s	800Gb/s	2,784Gb/s	50Gb/s	536Gb/s
Memory Interface (DDR3)	1,066Mb/s	1,866Mb/s	1,866Mb/s	800Mb/s	1,066Mb/s
PCI Express® Interface	x4 Gen2	x8 Gen2	x8 Gen3	x1 Gen1	x8 Gen2
Analog Mixed Signal (AMS)/XADC	Yes	Yes	Yes		Yes
Configuration AES	Yes	Yes	Yes	Yes	Yes
I/O Pins	500	500	1,200	576	1,200
I/O Voltage	1.2V, 1.35V, 1.5V, 1.8V, 2.5V, 3.3V	1.2V, 1.35V, 1.5V, 1.8V, 2.5V, 3.3V	1.2V, 1.35V, 1.5V, 1.8V, 2.5V, 3.3V	1.2V, 1.5V, 1.8V, 2.5V, 3.3V	1.2V, 1.5V, 1.8V, 2.5V
EasyPath Cost Reduction Solution	-	Yes	Yes	-	Yes

Actualmente Xilinx está trabajando con tecnología de 16 nm (VIRTEX y KINTEX Ultrascale).

Optimized for Highest System Performance and Capacity
(1.0V)

	Part Number	XC7V585T	XC7V2000T	XC7VX330T	XC7VX415T	XC7VX485T	XC7VX550T	XC7VX690T	XC7VX980T	XC7VX1140T	XC7VH580T	XC7VH870T
	EasyPath™ Cost Reduction Solutions ⁽¹⁾	XCE7V585T	—	XCE7VX330T	XCE7VX415T	XCE7VX485T	XCE7VX550T	XCE7VX690T	XCE7VX980T	—	—	—
Logic Resources	Slices	91,050	305,400	51,000	64,400	75,900	86,600	108,300	153,000	178,000	90,700	136,900
	Logic Cells	582,720	1,954,560	326,400	412,160	485,760	554,240	693,120	979,200	1,139,200	580,480	876,160
	CLB Flip-Flops	728,400	2,443,200	408,000	515,200	607,200	692,800	866,400	1,224,000	1,424,000	725,600	1,095,200
Memory Resources	Maximum Distributed RAM (Kb)	6,938	21,550	4,388	6,525	8,175	8,725	10,888	13,838	17,700	8,850	13,275
	Block RAM/FIFO w/ ECC (36 Kb each)	795	1,292	750	880	1,030	1,180	1,470	1,500	1,880	940	1,410
	Total Block RAM (Kb)	28,620	46,512	27,000	31,680	37,080	42,480	52,920	54,000	67,680	33,840	50,760
Clocking	CMTs (1 MMCM + 1 PLL)	18	24	14	12	14	20	20	18	24	12	18
I/O Resources	Maximum Single-Ended I/O	850	1,200	700	600	700	600	1,000	900	1,100	600	300
	Maximum Differential I/O Pairs	408	576	336	288	336	288	480	432	528	288	144
	DSP Slices	1,260	2,160	1,120	2,160	2,800	2,880	3,600	3,600	3,360	1,680	2,520
Integrated IP Resources	PCIe® Gen2 ⁽²⁾	3	4	—	—	4	—	—	—	—	—	—
	PCIe Gen3	—	—	2	2	—	2	3	3	4	2	3
	Analog Mixed Signal (AMS) / XADC	1	1	1	1	1	1	1	1	1	1	1
	Configuration AES / HMAC Blocks	1	1	1	1	1	1	1	1	1	1	1
	GTX Transceivers (12.5 Gb/s Max Rate) ⁽³⁾	36	36	—	—	56	—	—	—	—	—	—
	GTH Transceivers (13.1 Gb/s Max Rate) ⁽⁴⁾	—	—	28	48	—	80	80	72	96	48	72
	GTZ Transceivers (28.05 Gb/s Max Rate)	—	—	—	—	—	—	—	—	—	8	16
	Commercial	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2
Speed Grades	Extended ⁽⁵⁾	-2L, -3	-2L, -2G	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -2G	-2L, -2G	-2L, -2G
	Industrial	-1, -2	-1	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1	-1	—	—
	Package ⁽⁶⁾	Dimensions (mm)		Available User I/O: 3.3V HP I/O, 1.8V HP I/Os (GTX, GTH)							1.8V HP I/O (GTH, GTZ)	
Footprint Compatible	FFG1157 / FFV1157 ⁽⁷⁾	35 x 35	0, 600 (20, 0)	0, 600 (0, 20)	0, 600 (0, 20)	0, 600 (20, 0)	0, 600 (20, 0)	0, 600 (0, 20)	0, 600 (0, 20)	0, 600 (0, 20)	0, 600 (0, 20)	0, 600 (0, 20)
	FFG1761 / FFV1761 ⁽⁷⁾	42.5 x 42.5	100, 750 (36, 0)	50, 650 (0, 28)	50, 650 (0, 28)	0, 700 (28, 0)	0, 700 (28, 0)	0, 700 (28, 0)	0, 850 (0, 36)	0, 850 (0, 36)	0, 850 (0, 36)	0, 850 (0, 36)
	FHG1761	45 x 45	0, 850 (36, 0)	0, 850 (36, 0)	0, 850 (36, 0)	0, 850 (36, 0)	0, 850 (36, 0)	0, 850 (36, 0)	0, 850 (36, 0)	0, 850 (36, 0)	0, 850 (36, 0)	0, 850 (36, 0)
Footprint Compatible	FLG1925	45 x 45	0, 1200 (16, 0)	0, 1200 (16, 0)	0, 1200 (16, 0)	0, 1200 (16, 0)	0, 1200 (16, 0)	0, 1200 (16, 0)	0, 1200 (16, 0)	0, 1200 (16, 0)	0, 1200 (16, 0)	0, 1200 (16, 0)
	FFG1158 / FFV1158 ⁽⁷⁾	35 x 35	0, 350 (0, 48)	0, 350 (0, 48)	0, 350 (0, 48)	0, 350 (0, 48)	0, 350 (0, 48)	0, 350 (0, 48)	0, 350 (0, 48)	0, 350 (0, 48)	0, 350 (0, 48)	0, 350 (0, 48)
	FFG1926	45 x 45	0, 720 (0, 64)	0, 720 (0, 64)	0, 720 (0, 64)	0, 720 (0, 64)	0, 720 (0, 64)	0, 720 (0, 64)	0, 720 (0, 64)	0, 720 (0, 64)	0, 720 (0, 64)	0, 720 (0, 64)
Footprint Compatible	FLG1926	45 x 45	0, 720 (0, 64)	0, 720 (0, 64)	0, 720 (0, 64)	0, 720 (0, 64)	0, 720 (0, 64)	0, 720 (0, 64)	0, 720 (0, 64)	0, 720 (0, 64)	0, 720 (0, 64)	0, 720 (0, 64)
	FFG1927 / FFV1927 ⁽⁷⁾	45 x 45	0, 600 (0, 48)	0, 600 (56, 0)	0, 600 (0, 80)	0, 600 (0, 80)	0, 600 (0, 80)	0, 600 (0, 80)	0, 600 (0, 80)	0, 600 (0, 80)	0, 600 (0, 80)	0, 600 (0, 80)
	FFG1928	45 x 45	0, 480 (0, 72)	0, 480 (0, 72)	0, 480 (0, 72)	0, 480 (0, 72)	0, 480 (0, 72)	0, 480 (0, 72)	0, 480 (0, 72)	0, 480 (0, 72)	0, 480 (0, 72)	0, 480 (0, 72)
Footprint Compatible	FLG1928	45 x 45	0, 480 (0, 96)	0, 480 (0, 96)	0, 480 (0, 96)	0, 480 (0, 96)	0, 480 (0, 96)	0, 480 (0, 96)	0, 480 (0, 96)	0, 480 (0, 96)	0, 480 (0, 96)	0, 480 (0, 96)
	FFG1930	45 x 45	0, 700 (24, 0)	0, 700 (24, 0)	0, 700 (24, 0)	0, 700 (24, 0)	0, 700 (24, 0)	0, 700 (24, 0)	0, 700 (24, 0)	0, 700 (24, 0)	0, 700 (24, 0)	0, 700 (24, 0)
	FLG1930	45 x 45	0, 1000 (0, 24)	0, 1000 (0, 24)	0, 1000 (0, 24)	0, 1000 (0, 24)	0, 1000 (0, 24)	0, 1000 (0, 24)	0, 1000 (0, 24)	0, 1000 (0, 24)	0, 1000 (0, 24)	0, 1000 (0, 24)
Footprint Compatible	FLG1155	35 x 35	400 (24, 8)	400 (24, 8)	400 (24, 8)	400 (24, 8)	400 (24, 8)	400 (24, 8)	400 (24, 8)	400 (24, 8)	400 (24, 8)	400 (24, 8)
	FLG1931	45 x 45	600 (48, 8)	600 (48, 8)	600 (48, 8)	600 (48, 8)	600 (48, 8)	600 (48, 8)	600 (48, 8)	600 (48, 8)	600 (48, 8)	600 (48, 8)
	FLG1932	45 x 45	300 (72, 16)	300 (72, 16)	300 (72, 16)	300 (72, 16)	300 (72, 16)	300 (72, 16)	300 (72, 16)	300 (72, 16)	300 (72, 16)	300 (72, 16)

XMP084 (v4.11)

FFG/FFV/FLG/FHG: 1.0 mm Flip-chip fine-pitch BGA

- Notes: 1. EasyPath™ solutions provide a fast and conversion-free path for cost reduction.
 2. Hard block supports PCI Express Base 2.1 specification at Gen1 and Gen2 data rates. Gen3 supported with soft IP.
 3. 12.5 Gb/s support in "-3E", "-2GE" speed/temperature grade; 10.3125 Gb/s support in "2C", "-2LE", and "-2I" speed grade.
 4. 13.1 Gb/s support in "-3E", "-2GE" speed grade; 11.3 Gb/s support in "2C", "-2LE" and "-2I" speed/temperature grades.
 5. -2G only applies to Stacked Silicon Interconnect devices and supports 12.5G GTX, 13.1G GTH, 28.05G GTZ with -2 fabric.
 6. Leaded package options ("FFxxxx"/"FLxxxx"/"FHxxxx") available for all packages. "HCxxxx" is not offered in a leaded option.
 7. FFV packages are only available in XC7VX330T and XC7VX415T devices. See DS180, 7 Series FPGAs Overview for package details.

VIRTEX⁷

XC

Xilinx
Commercial

7

Generation

V

Family

###

Logic Cells
in 1K Units

-1

Speed Grade

-1 = Slowest
-2 = Mid
-L2 = Low Power
-3 = Highest

FF

Package Type

FF: Flip-Chip (1 mm)
FH: Flip-Chip (1 mm)
FL: Flip-Chip (1 mm)
HC: Ceramic Flip-Chip (1 mm)

V

V: RoHS 6/6
G: RoHS 6/6
w/Exemption 15

1156

Nominal
Package
Pin Count

C

Temperature
Grade
(C, E, I)

Notes:

-L1 is the ordering code for the lower power, -1L speed grade.
-L2 is the ordering code for the lower power, -2L speed grade.

C = Commercial (Tj = 0°C to +85°C) E = Extended (Tj = 0°C to +100°C) I = Industrial (Tj = -40°C to +100°C)

Important: Verify all data in this document
with the device data sheets found at www.xilinx.com

Algunas características:

Tecnología de 28 nm.

Hasta 2 millones de celdas lógicas.

Hasta 1200 pines de entrada-salida.

Hasta 16 transceivers de 28.05 Gbps.

Hasta 13 millones de bits de memoria RAM dedicada.

Mas de 3000 bloques DSPs (Digital Signal Processor) dedicados.

Conversor ADC dedicado.

Interface PCI-E generación 3.

Frecuencia máxima de trabajo, superior a 700 MHz (interna).

PRECIOS FLIP-FLOPS Y CONTADORES CMOS HIGH SPEED

FPGA

Image	Digi-Key Part Number	Manufacturer Part Number	Manufacturer	Description	Quantity Available	Unit Price USD	Minimum Quantity	Packaging	Series	Function	Type	Output Type	Number of Elements	Number of Bits per Element	Frequency - Clock
	296-33663-5-ND	SN74ACT74PW	Texas Instruments	IC DUAL POS-EDG-TRG D FF 14TSSOP	2,007 - Immediate 9,540 - Factory Stock	0.57000	1	Tube Alternate Packaging	74ACT	Set(Preset) and Reset	D-Type	Differential	2	1	210MHz
	296-1079-5-ND	SN74ACT74D	Texas Instruments	IC DUAL POS-EDG-TRG D F-F 14SOIC	1,566 - Immediate	0.57000	1	Tube Alternate Packaging	74ACT	Set(Preset) and Reset	D-Type	Differential	2	1	210MHz

Image	Digi-Key Part Number	Manufacturer Part Number	Manufacturer	Description	Quantity Available	Unit Price USD	Minimum Quantity	Packaging	Series	Logic Type	Direction	Number of Elements	Number of Bits per Element	Reset	Timing	Count Rate
	296-31552-2-ND	CD74ACT163M96	Texas Instruments	IC 4BIT SYNC BIN COUNTER 16-SOIC	0	0.23200	2,500	Tape & Reel (TR) Alternate Packaging	74ACT	Binary Counter	Up	1	4	Synchronous	Synchronous	80MHz
	296-31552-1-ND	CD74ACT163M96	Texas Instruments	IC 4BIT SYNC BIN COUNTER 16-SOIC	2,433 - Immediate	0.66000	1	Cut Tape (CT) Alternate Packaging	74ACT	Binary Counter	Up	1	4	Synchronous	Synchronous	80MHz
	296-31552-6-ND	CD74ACT163M96	Texas Instruments	IC 4BIT SYNC BIN COUNTER 16-SOIC	2,433 - Immediate	Calculate	1	Digi-Reel® Alternate Packaging	74ACT	Binary Counter	Up	1	4	Synchronous	Synchronous	80MHz

<input type="checkbox"/> 91K9666  	EPM7064STC44-10N	<p>ALTERA IC, MAX ISP PLD, 7064, TQFP44, 5V More Details ★★★★★ (Write a Review Ask a Question)</p>	<p>215</p> <p>Price For: 1 Each 1+ \$15.67</p> <p><input type="text" value="1"/></p> <p>Buy</p> <p>UK Stock - Non-Cancellable/Non-Returnable</p> <p>Freight Charge: \$20.00 once per order</p> <p>215 available for delivery in 5-7 business days (Continental US Only) ▶ Check more stock...</p>
---	----------------------------------	--	--

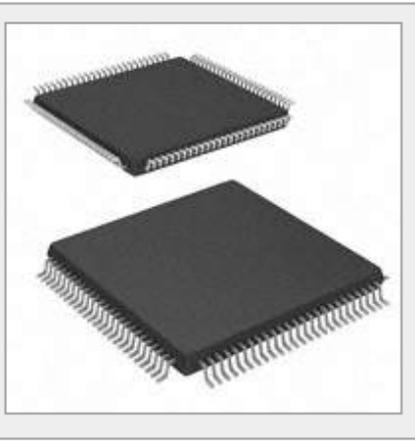
Precios de Cyclone IV

Part #	Manufacturer Part No	Manufacturer / Description	Availability	Price	Qty	No. of Logic Blocks	No. of Macrocells	Family Type	Logic Case Style	No. of Pins
						▲▼	▲▼	▲▼	▲▼	▲▼
<input type="checkbox"/> 66W1363   	EP4CE10E22C8N	ALTERA FPGA, CYCLONE IV, 10K LE, 144TQFP More Details ★★★★★ (Write a Review Ask a Question)	22	Price For: 1 Each 1+ \$46.38 25+ \$42.62 50+ \$39.53 100+ \$38.21 more...	<input type="text" value="1"/> <input type="button" value="Buy"/>	-	10320	Cyclone IV	TQFP	144
			UK Stock - Non-Cancellable/Non-Returnable Freight Charge: \$20.00 once per order 22 available for delivery in 5-7 business days (Continental US Only) ▶ Check more stock...							
<input type="checkbox"/> 66W1364   	EP4CE115F23C7N	ALTERA FPGA, CYCLONE IV, 115K, 484FBGA More Details ★★★★★ (Write a Review Ask a Question)	54	Price For: 1 Each 1+ \$681.78 5+ \$658.93 10+ \$636.08 25+ \$586.56 more...	<input type="text" value="1"/> <input type="button" value="Buy"/>	7155	114480	Cyclone IV	FBGA	484
			UK Stock - Non-Cancellable/Non-Returnable Freight Charge: \$20.00 once per order 54 available for delivery in 5-7 business days (Continental US Only) ▶ Check more stock...							

Precios de CPLD MAX II

[Product Index](#) > [Integrated Circuits \(ICs\)](#) > [Embedded - CPLDs \(Complex Programmable Logic Devices\)](#) > [Altera](#)
 EPM240T100C5N

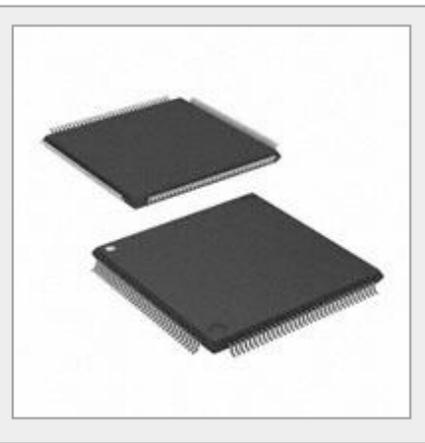
☆ Add To Favorites Share ↵



Product Overview	
Digi-Key Part Number	544-1964-ND
Quantity Available	1,972 Can ship immediately
Manufacturer	Altera
Manufacturer Part Number	EPM240T100C5N
Description	IC CPLD 192MC 4.7NS 100TQFP
Lead Free Status / RoHS Status	Lead free / RoHS Compliant
Moisture Sensitivity Level (MSL)	3 (168 Hours)
Manufacturer Standard Lead Time	12 Weeks

Price & Procurement		
Quantity	<input type="text" value="1"/>	
	544-1964-ND ▼	
	Customer Reference	
Add to Cart		
All prices are in USD.		
Price Break	Unit Price	Extended Price
1	7.50000	7.50

Precios de CPLD MAX V



Product Overview	
Digi-Key Part Number	544-2978-ND
Quantity Available	846 Can ship immediately
Manufacturer	Altera
Manufacturer Part Number	5M240ZT144I5N
Description	IC CPLD 192MC 7.5NS 144TQFP
Lead Free Status / RoHS Status	Vendor undefined / RoHS Compliant
Moisture Sensitivity Level (MSL)	3 (168 Hours)
Manufacturer Standard Lead Time	12 Weeks

Price & Procurement		
Quantity	<input type="text" value="1"/>	
	544-2978-ND ▼	
	Customer Reference	
Add to Cart		
All prices are in USD.		
Price Break	Unit Price	Extended Price
1	6.80000	6.80

PRECIOS SPARTAN 3

Part #	Manufacturer Part No	Manufacturer / Description	Availability	Price	Qty	No. of Logic Blocks	No. of Macrocells	Family Type	Logic Case Style	No. of Pins
						▲▼	▲▼	▲▼	▲▼	▲▼
<input type="checkbox"/> 52R3827   	XC3S50AN-4TQG144I	XILINX FPGA, SPARTAN-3A, 50K, TQFP-144 More Details ★★★★★ (Write a Review Ask a Question)	71	Price For: 1 Each 1+ \$14.31	<input type="text" value="1"/> <input type="button" value="Buy"/>	176	1584	Spartan-3AN	TQFP	144
			71 available to ship today Check more stock...							
<input type="checkbox"/> 52R3821   	XC3S200AN-4FTG256I	XILINX FPGA, SPARTAN-3AN, 200K GATES, 256FTBG More Details ★★★★★ (Write a Review Ask a Question)	53	Price For: 1 Each 1+ \$41.99 25+ \$38.59 50+ \$35.79 100+ \$34.60 more...	<input type="text" value="1"/> <input type="button" value="Buy"/>	448	4032	Spartan-3AN	FTBGA	256
			UK Stock - Non-Cancellable/Non-Returnable Freight Charge: \$20.00 once per order 53 available for delivery in 5-7 business days (Continental US Only) Check more stock...							

Precios de VIRTEX 7

FPGA

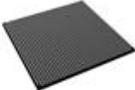
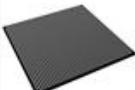
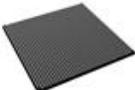
Imagen	Número de pieza de Digi-Key	Número de pieza del fabricante	Fabricante	Descripción	Cantidad disponible	Precio unitario USD	Cantidad mínima	Serie	Cantidad de LAB/CLB	Cantidad de celdas/elementos de lógica	Total de bits de RAM	No. de entradas/salidas
 Photo Not Available	XC7VX1140T-1FL1930C-ND ✕	XC7VX1140T-1FL1930C	Xilinx Inc	IC FPGA VIRTEX-7 1.1M 1930BGA	0	18.212.40000	12 Agotado	Virtex®-7	89000	1139200	69304320	1100
 Photo Not Available	XC7VX1140T-1FLG1930C-ND ✕	XC7VX1140T-1FLG1930C	Xilinx Inc	IC FPGA VIRTEX-7 1.1M 1930BGA	0	18.212.40000	12 Agotado	Virtex®-7	89000	1139200	69304320	1100
 Photo Not Available	XC7VX1140T-1FL1930I-ND ✕	XC7VX1140T-1FL1930I	Xilinx Inc	IC FPGA VIRTEX-7 1.1M 1930BGA	0	22.766.40000	12 Agotado	Virtex®-7	89000	1139200	69304320	1100
 Photo Not Available	XC7VX1140T-1FLG1930I-ND ✕	XC7VX1140T-1FLG1930I	Xilinx Inc	IC FPGA VIRTEX-7 1.1M 1930BGA	0	22.766.40000	12 Agotado	Virtex®-7	89000	1139200	69304320	1100
 Photo Not Available	XC7VX1140T-2FL1930C-ND ✕	XC7VX1140T-2FL1930C	Xilinx Inc	IC FPGA VIRTEX-7 1.1M 1930BGA	0	22.766.40000	12 Agotado	Virtex®-7	89000	1139200	69304320	1100
 Photo Not Available	XC7VX1140T-2FLG1930C-ND ✕	XC7VX1140T-2FLG1930C	Xilinx Inc	IC FPGA VIRTEX-7 1.1M 1930BGA	0	22.766.40000	12 Agotado	Virtex®-7	89000	1139200	69304320	1100
 Photo Not Available	XC7VX1140T-L2FL1930E-ND ✕	XC7VX1140T-L2FL1930E	Xilinx Inc	IC FPGA VIRTEX-7 1.1M 1930BGA	0	28.458.00000	12 Agotado	Virtex®-7	89000	1139200	69304320	1100
 Photo Not Available	XC7VX1140T-L2FLG1930E-ND ✕	XC7VX1140T-L2FLG1930E	Xilinx Inc	IC FPGA VIRTEX-7 1.1M 1930BGA	0	28.458.00000	12 Agotado	Virtex®-7	89000	1139200	69304320	1100
 Photo Not Available	XC7VX1140T-G2FL1930E-ND ✕	XC7VX1140T-G2FL1930E	Xilinx Inc	IC FPGA VIRTEX-7 1.1M 1930BGA	0	35.571.60000	12 Agotado	Virtex®-7	89000	1139200	69304320	1100

Precios de STRATIX V

[Comprar seleccionados](#)
[Comparar seleccionados](#)

Comparar hasta 20 partes.

 Página: **1** 2 [Siguiente](#)

Seleccionar	Imagen	N.º de artículo de Mouser	Fabricante: N.º de artículo	Fabricante:	Descripción	 Hoja de datos	Disponibilidad	Precio: (USD)	Cantidad	RoHS	Serie	Número de bloques lógicos	Número de entradas / salidas
<input type="checkbox"/>	 Ampliar	989-5SEE9H40I3L	5SEE9H40I3L  Nueva tecnología	Altera Corporation	FPGA - Arreglo de puerta programable de campo FPGA - Stratix VE 2640 LABS 696 IOs 	Hoja de datos	No en existencias	3: \$11,109.00	<input type="text"/> Comprar Min.: 3 Mult.: 3	 Detalles	Stratix VE	2640	696
<input type="checkbox"/>	 Ampliar	989-5SEEBF45I3N	5SEEBF45I3N  Nueva tecnología	Altera Corporation	FPGA - Arreglo de puerta programable de campo FPGA - Stratix VE 2640 LABs 840 IOs Más información	Hoja de datos	No en existencias	3: \$11,110.00	<input type="text"/> Comprar Min.: 3 Mult.: 1	 Detalles	Stratix VE	2640	840
<input type="checkbox"/>	 Ampliar	989-5SEE9H40C3N	5SEE9H40C3N  Nueva tecnología	Altera Corporation	FPGA - Arreglo de puerta programable de campo FPGA - Stratix VE 2640 LABs 696 IOs Más información	Hoja de datos	No en existencias	3: \$8,416.00	<input type="text"/> Comprar Min.: 3 Mult.: 1	 Detalles	Stratix VE	2640	696

Bibliografía:

Apuntes de teoría:

- Trabajo Final "Introducción a los Dispositivos FPGA: Análisis y Ejemplos de Diseño ". Autor: Eduardo Bozich. Año 2005.

Libros:

- "Sistemas Digitales". R. Tocci, N. Widmer, G. Moss. Ed. Prentice Hall.
- "FPGA for Dummies". Andrew Moore. Altera Special Edition. 2014.
- " Programmable Logic Design Quick Start Handbook ". Partnell. Xilinx. 2003.
- "Diseño Digital". M. Morris Mano. Ed. Prentice Hall. 3ra edición.
- "Diseño de Sistemas Digitales". John Vyemura. Ed. Thomson.
- "Diseño Lógico". Antonio Ruiz, Alberto Espinosa. Ed. McGraw-Hill.
- "Digital Design:Principles & Practices". John Wakerly. Ed. Prentice Hall.
- "Digital Design with CPLD Applications and VHDL". Robert Dueck. Ed. Thomson .
- "Diseño Digital". Alan Marcovitz. Ed. McGraw-Hill.
- "Electrónica Digital". James Bignell, R. Donovan. Ed. CECOSA.
- "Fundamentos de Diseño Lógico y Computadoras". M. Mano, C. Kime. Ed. Prentice Hall.
- "Notas de aplicación y hojas de datos en websites de las empresas: Altera, Xilinx Atmel, Lattice, Quicklogic, Microsemi."

Bibliografía:

Websites de interés:

<https://www.xilinx.com/>

<https://www.intel.la/content/www/xl/es/products/programmable/fpga.html>

<https://www.microsemi.com/product-directory/fpga-soc/1638-fpgas>

<https://www.quicklogic.com/products/fpga/fpgas-sram/>

<http://www.latticesemi.com/fpga>

<https://opencores.org/>